

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 5 月 13 日 (13.05.2004)

PCT

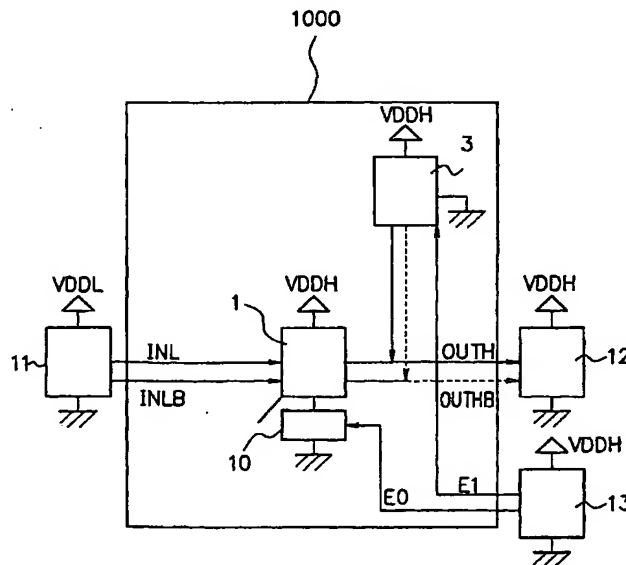
(10) 国際公開番号  
WO 2004/040765 A1

- (51) 国際特許分類<sup>7</sup>: H03K 19/0185 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/013931 (75) 発明者/出願人 (米国についてのみ): 野村 昌弘 (NO-MURA, Masahiro) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
(22) 国際出願日: 2003 年 10 月 30 日 (30.10.2003)  
(25) 国際出願の言語: 日本語 (74) 代理人: 丸山 隆夫 (MARUYAMA, Takao); 〒170-0013 東京都豊島区東池袋2-38-23 SAMビル3階 丸山特許事務所内 Tokyo (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2002-319151  
2002 年 10 月 31 日 (31.10.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).  
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: LEVEL CONVERTING CIRCUIT

(54) 発明の名称: レベル変換回路



(57) Abstract: A level converting circuit that exhibits reduced flow-through current and delay during a control of a first power supply. In the level converting circuit wherein the signal level of a first logic circuit to which a first power is supplied is converted to the signal level of a second logic circuit to which a second power is supplied, a switch circuit controlled by a third logic circuit that generates a control signal in accordance with the control of the first power supply is provided between a GND power terminal of a level converting core circuit and a GND power supply, and a pull-up/pull-down circuit controlled by the third logic circuit is provided at an output of the level converting core circuit.

(57) 要約: 第1の電源を制御する場合の貫通電流と遅延の増加を低減したレベル変換回路を提供することにある。第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するというレベル変換回路において、レベル変換コア回路のGND電

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS,  
MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特  
許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッ  
パ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,  
FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 1

## 明細書

## レベル変換回路

技術分野

本発明はレベル変換回路に関し、特に、第1の電源を制御する際にリーク電流特性を改良したレベル変換回路に関する。

従来技術

レベル変換回路は、2以上の電源を有するシステムLSI内で利用され、たとえば、図1に示すように、特許文献1等で提案されたレベル変換回路が知られている。近年、レベル変換回路は、システムLSIのリーク電流削減のため、不使用ブロックへの電源供給のオフに対応することが要求されている。

この要求に応えるために、例えば、特許文献2に開示されているような、レベル変換の出力側にプルダウン回路を設け、p-MOS クロスカップルラッチを固定し、リーク電流を防止することが提案されている。

この文献に開示された手法は、この文献の図1 (Fig.1) に示すように、一方のレベル変換の出力側にドレイン端子を、もう一方にゲート端子を、GNDにソース端子をそれぞれ接続したn-MOSを用いている。

[特許文献1]

特開昭63-152220号公報

[特許文献2]

米国特許第5,669,684号明細書

発明が解決しようとする課題

しかしながら、前記した米国特許に開示された技術では、第1の電源がオフして、レベル変換入力信号が不定となった場合に、レベル変換回路のp-MOS クロスカップルラッチのオン側にプルダウン用のnMOSが接続されn-MOSのゲート端子がn-MOSの閾値を超える可能性がある。

この場合、第2の電源と GND 電源間に導通パスができるため、貫通電流が流れるという問題がある。

また、第1の電源がオンして、入力信号が保持状態に反転している場合には、電源レベルが所定のレベルに上がり、レベル変換出力が切り換わるまで、貫通電流が流れるという問題がある。

さらに、追加した n-MOS はレベル変換回路の p-MOS クロスカップルラッチの状態保持機能を補強する役割を果たす。このため、レベル変換遅延が増加し、特に、第1の電源と第2の電源の電位差が大きくなった場合には、レベル変換動作マージンが無くなり、レベル変換動作ができなくなる。すなわち、入力信号が変化しても所望する出力が変化できなくなるという問題点もある。

本発明の目的は第1の電源を制御しても貫通電流の発生を抑制可能でレベル変換動作時の遅延増加も抑制可能な機能を有したレベル変換回路を提供することにある。

### 発明の開示

請求項1に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路の GND 電源端子（接地電源端子）と、GND 電源（接地電源）との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とする。

請求項2記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路の電源端子と第2の電源との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とする。



請求項3記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、2以上のp-MOS からなるp-MOS クロスカップルラッチと、2以上のn-MOS からなる差動n-MOS とからなり、前記p-MOS は、前記第2の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記n-MOS は、クロスカップルラッチと前記GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことを特徴とする。

請求項4記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、前記第2の電源に各ソース端子が、各レベル変換出力に各ゲート端子が接続された2以上のp-MOS からなるp-MOS クロスカップルラッチと、前記p-MOS の各ドレイン端子に前記他のp-MOS のソース端子が、各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上のp-MOS スイッチと、GND 電源端子に各ソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力にそれぞれのゲート端子が接続された2以上のn-MOS からなる差動n-MOS スイッチと、からなっていることを特徴とする。

請求項5記載のレベル変換回路の発明は、請求項1または2において、前記プルアップおよび／またはプルダウン回路はプルダウン回路であり、当該プルダウン回路は、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力の少なくとも一方にドレイン端子が接続された1つまたは2以上のn-MOS を有することを特徴とする。

請求項6記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第2の電源の間に配置され第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第3の論理回路からの制御信号により制御するこ

とを特徴とする。

請求項 7 記載のレベル変換回路の発明は、請求項 6 において、前記第 3 の論理回路は、前記制御回路を前記第 3 の論理回路からの制御信号により制御し、前記制御回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とする。

請求項 8 記載のレベル変換回路の発明は、請求項 5 において、さらに前記制御回路は、前記プルアップおよび／またはプルダウン回路を制御する制御信号を出力して前記プルアップおよび／またはプルダウン回路を制御することを特徴とする。

請求項 9 記載のレベル変換回路の発明は、請求項 1、3 または 6 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記各レベル変換コア出力にドレイン端子が各々接続された 2 以上の p-MOS を用いることを特徴とする。

請求項 10 記載のレベル変換回路の発明は、請求項 1、3 または 8 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続された p-MOS と、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力他方にドレイン端子が、各々接続された n-MOS とを用いることを特徴とする。

請求項 11 記載のレベル変換回路の発明は、第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とし前記プルダウン回路と前記レベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路と前記プルダウン回路とを前記第 3 の論理回路からの制御信号により制御することを特徴とする。

請求項 12 記載のレベル変換回路の発明は、請求項 11 において、前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS トランジスタは、少なくともチャネル幅／チャネル長の比が小さいかまたは閾値

が高いトランジスタからなっていることを特徴とする。

請求項 1 3 記載のレベル変換回路の発明は、請求項 1 1 において、前記 NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路の制御信号出力が接続される n-MOS のソース端子が GND 電源に接続されることを特徴とする。

請求項 1 4 記載のレベル変換回路の発明は、請求項 5 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS を付加していることを特徴とする。

請求項 1 5 記載のレベル変換回路の発明は、請求項 5 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS を付加していることを特徴とする。

請求項 1 6 記載のレベル変換回路の発明は、請求 7 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源にソース端子が、前記第 3 の論理

回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする。

請求項 17 記載のレベル変換回路の発明は、請求項 5 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする。

請求項 18 記載のレベル変換回路の発明は、請求項 5 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路からなり、前記 NAND 回路の出力信号を制御信号として出力していることを特徴とする。

請求項 19 記載のレベル変換回路の発明は、請求項 18 において、さらに前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS を付加されることを特徴とする。

請求項 20 記載のレベル変換回路の発明は、請求項 18 において、さらに前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される 2 以上の p-MOS からなり、前記

第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されることを特徴とする。

請求項21記載のレベル変換回路の発明は、請求項18において、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転にゲート端子が、前記レベル変換出力のもう一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする。

請求項22記載のレベル変換回路の発明は、請求項18において、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする。

請求項23記載のレベル変換回路の発明は、請求項5において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給されそれぞれの前記 NAND 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項24記載のレベル変換回路の発明は、請求項18において、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制

御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS が付加されていることを特徴とする。

請求項 2 5 記載のレベル変換回路の発明は、請求項 2 3 において、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されていることを特徴とする。

請求項 2 6 記載のレベル変換回路の発明は、請求項 2 3 において、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする。

請求項 2 7 記載のレベル変換回路の発明は、請求項 2 3 において、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS が付加されていることを特徴とする。

請求項 2 8 記載のレベル変換回路の発明は、請求項 1 4 乃至 1 7 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と

前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給されそれぞれの前記 NOR 回路出力を入力とするインバータ2以上からなり、前記 NOR 回路2以上と前記インバータ2以上のそれぞれの出力信号を制御信号として出力されることを特徴とする。

請求項29のレベル変換回路の発明は、請求項28において、前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、または、閾値の極性は負で絶対値の大きいトランジスタからなっていることを特徴とする。

請求項30のレベル変換回路の発明は、請求項28において、前記 NOR 回路は、CMOS 回路構成であり、前記第3の論理回路からの制御信号またはその反転信号が電源側の p-MOS に接続されることを特徴とする。

請求項31のレベル変換回路の発明は、請求項19～22において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され、前記各 NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項32のレベル変換回路の発明は、請求項24～27において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1の NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2の NOR 回路からなり、前記第1及び第2の NOR 回路の各出力信号を制御信号として出力していることを特徴

とする。

請求項 3 3 のレベル変換回路の発明は、請求項 6 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され各前記 NAND 回路出力を入力とする 2 以上のインバータからなり、前記 AND-NOR と NAND 回路と前記インバータの出力信号を制御信号として出力していることを特徴とする。

請求項 3 4 のレベル変換回路の発明は、請求項 6 または 8 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

請求項 3 5 のレベル変換回路の発明は、請求項 6 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路からなり、前記 AND-NOR と NAND 回路の各出力信号を制御信号として出力していることを特徴とする。

請求項 3 6 のレベル変換回路の発明は、請求項 3 5 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS からなることを特徴とする。

請求項 3 7 のレベル変換回路の発明は、請求項 6 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力



とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項 38 のレベル変換回路の発明は、請求項 37 において、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

請求項 39 のレベル変換回路の発明は、請求項 34 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記 OR-NAND 回路と前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする。

請求項 40 のレベル変換回路の発明は、請求項 39 において、前記 OR-NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいかまたは、閾値の極性は負で絶対値が高いかの少なくとも 1 つの条件を有することを特徴とする。

請求項 41 のレベル変換回路の発明は、請求項 39 において、前記 OR-NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路からの制御信号が GND 電源側の n-MOS に接続されることを特徴とする。

請求項 42 のレベル変換回路の発明は、請求項 36 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信

号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項 4 3 のレベル変換回路の発明は、請求項 3 8 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記 OR-NAND 回路と NOR 回路の各出力信号を制御信号として出力していることを特徴とする。

請求項 4 4 のレベル変換回路の発明は、請求項 3 6 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路とからなり、前記 AND-NOR の各出力信号を制御信号として出力していることを特徴とする。

請求項 4 5 のレベル変換回路の発明は、請求項 3 6 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記各 OR-NAND 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項 4 6 のレベル変換回路の発明は、請求項 3 8 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号

の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

請求項47のレベル変換回路の発明は、請求項38において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記 OR-NAND 回路の各出力信号を制御信号として出力していることを特徴とする。

請求項48のレベル変換回路の発明は、請求項47において、前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力に他の p-MOS のゲート端子が接続された2以上の前記 p-MOS からなる p-MOS クロスカップルラッチと、前記 p-MOS のドレイン端子の各々のソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上の p-MOS スイッチと、GND 電源に各ソース端子が、前記各レベル変換出力にドレイン端子が、レベル変換入力に各々のゲート端子が接続された2以上の n-MOS からなる差動 n-MOS スイッチとなっていることを特徴とする。

請求項49のレベル変換回路の発明は、請求項14～17、19～22または24～27において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第1の NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第2の NAND 回路と、前記第2の電源が供給され前記各 NAND 回路出力を入力とする2以上のインバータからなり、前記第1及び第2の NAND 回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力

信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

請求項 50 のレベル変換回路の発明は、請求項 14～17、19～22 または 24～27 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記 NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする。

請求項 51 のレベル変換回路の発明は、請求項 1、3、6～9 において、前記スイッチ回路は、GND 電源にソース端子が、制御信号にゲート端子が、前記レベル変換コア回路の GND 電源端子にドレイン端子が、各々接続された n-MOS を有することを特徴とする。

請求項 52 のレベル変換回路の発明は、請求項 34 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給されそれぞれの前記 NAND 回路出力を入力とする 2 以上のインバータからなり、前記 AND-NOR 回路と NAND 回路と前記 2 以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

請求項 53 のレベル変換回路の発明は、請求項 39 において、前記 OR-NAND 回路と NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路と NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする。

請求項54のレベル変換回路の発明は、請求項8において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1の AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2の AND-NOR 回路と、前記第2の電源が供給され前記第1および第2の各 AND-NOR 回路の出力を入力とする2以上のインバータからなり、前記第1及び第2の AND-NOR 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする。

請求項55のレベル変換回路の発明は、請求項8において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路と、前記第2の電源が供給され前記第1及び第2の各 OR-NAND 回路出力を入力とする2以上のインバータからなり、前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする。

請求項56のレベル変換回路の発明は、請求項4～7、または9～11において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転

信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする。

請求項57のレベル変換回路の発明は、前記制御回路は、請求項4～7または9～11において、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする。

請求項58のレベル変換回路の発明は、請求項4～7または9～11において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記

第2の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

請求項59のレベル変換回路の発明は、請求項4～7または9～11において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路からなり、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とするのいずれか1項に記載のレベル変換回路。

請求項60のレベル変換回路の発明は、前記レベル変換コア回路は、請求項1、3、10、59または60において、2以上の第1のp-MOS からなるp-MOS クロスカップルラッチと、2以上のn-MOS からなる差動n-MOS と、第2の2以上のp-MOS と、からなり、前記p-MOS クロスカップルラッチは、前記第2の電源にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が、それぞれ接続され、前記差動n-MOS は、前記GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、前記第2のp-MOS は、前記第2の電源に各ドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が、各々接続されたことを特徴とする。

請求項61のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力としプルダウン回路とレベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路も前記第3の論理回路からの制御信号を接続したことを特徴とする。

請求項62のレベル変換回路の発明は、前記制御回路は、請求項61において、

前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の OR-NAND 回路からなり、前記第 1 及び第 2 の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

請求項 6 3 のレベル変換回路の発明は、請求項 6 1 において、前記制御回路は、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の OR-NAND 回路からなり、前記第 1 及び第 2 の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

請求項 6 4 のレベル変換回路の発明は、請求項 2、7～9 または 6 1 において、前記スイッチ回路は、第 2 の電源にソース端子が、制御信号またはその反転信号にゲート端子が、前記レベル変換コア回路の電源端子にドレイン端子が接続された p-MOS を用いたことを特徴とする。

請求項 6 5 のレベル変換回路の発明は、請求項 3、5、6 または 6 1 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号



と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする 2 以上の NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路とからなり、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする。

請求項 6 6 のレベル変換回路の発明は、請求項 3、1 1、1 2 または 6 1 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする 2 以上の NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

#### 図面の簡単な説明

図 1 は、従来のレベル変換回路の例を示す回路図である。

図 2 は、従来のレベル変換回路の例を示す回路図である。

図 3 は、従来のレベル変換回路の例を示す回路図である。

図 4 は、本発明のレベル変換回路の第 1 の実施の形態における構成例を示す図である。

図 5 は、第 1 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

図 6 は、第 1 の実施形態などに使用されるレベル変換コア回路の他の例を示す回路図である。

図 7 は、第 1 の実施形態などに使用されるスイッチ回路の例を示す回路図である。

図 8 は、第 1 の実施形態などに使用されるプルアップ/プルダウン回路の例を示す回路図である。

図 9 は、本発明のレベル変換コア回路部分の動作例を示すタイミングチャートである。

図10は、本発明のレベル変換回路の第1の実施形態の動作例を示すタイミングチャートである。

図11は、第1の実施形態などで使用されるプルアップ/プルダウン回路の別の例を示す回路図である。

図12は、第1の実施形態などで使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図13は、第1の実施形態などで使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図14は、第1の実施形態などで使用されるレベル変換コア回路の別の例を示す回路図である。

図15は、第1の実施形態などで使用されるレベル変換コア回路の図12の別の例を示す回路図である。

図16は、第1の実施形態などで使用されるレベル変換コア回路の別の例を示す回路図である。

図17は、第1の実施形態などで使用されるレベル変換コア回路の図13の別の例を示す回路図である。

図18は、第1の実施形態などで使用されるレベル変換コア回路のさらに別の例を示す回路図である。

図19は、第1の実施形態などで使用されるレベル変換コア回路の図15のさらに別の例を示す回路図である。

図20は、本発明のレベル変換回路の第2の実施の形態における構成例を示す図である。

図21は、第2の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

図22は、第2の実施形態などに使用されるプルダウン回路の例を示す回路図である。

図23は、第2の実施形態などに使用されるプルダウン回路の別の例を示す回路図である。

図24は、本発明のレベル変換回路の第3の実施の形態における構成例を示す図である。

図25は、第3の実施形態などに使用される制御回路の例を示す回路図である。

図26は、第3の実施形態などに使用されるプルアップ/プルダウン回路の例を示す回路図である。

図27は、第3の実施形態などに使用される制御回路を構成する NAND 回路の例を示す回路図である。

図28は、本発明のレベル変換回路の第3の実施形態の動作例を示すタイミン

グチャートである。

図 29 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路の別の例を示す回路図である。

図 30 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 31 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 32 は、第 3 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 33 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路の例を示す回路図である。

図 34 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路の別の例を示す回路図である。

図 35 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 36 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 37 は、第 5 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

図 38 は、第 3 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 39 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 40 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 41 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 42 は、第 3 の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

図 43 は、第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 44 は、第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 45 は、第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 46 は、第 3 の実施形態などに使用される制御回路を構成する NOR 回路の

別の例を示す回路図である。

図 4 7 は、本発明のレベル変換回路の第 4 の実施の形態における構成例を示す図である。

図 4 8 は、第 4 の実施形態などに使用される制御回路の例を示す回路図である。

図 4 9 は、第 4 の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路図である。

図 5 0 は、第 4 の実施形態などに使用される制御回路を構成する AND・NOR 回路の例を示す回路図である。

図 5 1 は、第 4 実施形態のレベル変換回路の動作例を示すタイミングチャートである。

図 5 2 は、第 4 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 5 3 は、第 4 の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路図である。

図 5 4 は、第 4 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 5 5 は、第 4 の実施形態などに使用されるプルアップ／プルダウン回路の別の例を示す回路図である。

図 5 6 は、第 4 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 5 7 は、第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 5 8 は、第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 5 9 は、第 4 の実施形態などに使用される制御回路を構成する OR・NAND 回路の例を示す回路図である。

図 6 0 は、第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 6 1 は、第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 6 2 は、第 4 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 6 3 は、第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 6 4 は、本発明のレベル変換回路の第 5 の実施の形態の構成例を示す図である。

図 6 5 は、第 5 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

図 6 6 は、第 5 の実施形態などに使用される制御回路の例を示す回路図である。

図 6 7 は、第 5 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 6 8 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 6 9 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 0 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 1 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 2 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 3 は、第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 4 は、本発明のレベル変換回路の第 6 の実施の形態の構成例を示す図である。

図 7 5 は、第 6 の実施形態などに使用される制御回路の例を示す回路図である。

図 7 6 は、第 6 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 7 7 は、第 6 の実施形態などに使用される制御回路の別の例を示す回路図である。

図 7 8 は、第 6 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 7 9 は、第 6 の実施形態に使用される制御回路のさらに別の例を示す回路図である。

図 8 0 は、第 6 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 8 1 は、第 6 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 8 2 は、第 6 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

図 8 3 は、本発明のレベル変換回路の第 7 の実施の形態の構成例を示す図である。

図 8 4 は、本発明のレベル変換回路の第 7 の実施の形態の他の構成例を示す図である。

図 8 5 は、第 7 の実施の形態のレベル変換回路の動作例を示すタイミングチャートである。

なお、符号 1 は、レベル変換コア回路である。符号 2 は、制御回路である。符号 3 は、プルアップ／プルダウン回路である。符号 3-1 は、プルアップ回路である。符号 3-2 は、プルダウン回路である。符号 10 は、スイッチ回路である。符号 11 は、第 1 の論理回路である。符号 12 は、第 2 の論理回路である。符号 13 は、第 3 の論理回路である。

### 発明を実施するための最良の形態

添付した図面を参照しながら、本発明を実施の形態により、詳細に説明する。

本発明のレベル変換回路は、レベル変換コア回路の GND 電源端子と GND 電源の間に制御信号により制御されるスイッチ回路を配置し、レベル変換出力に制御信号により制御されるプルアップおよび／またはプルダウン回路を接続したことを特徴としている。

前記スイッチ回路および前記プルアップおよび／またはプルダウン回路は、それぞれ、第 1 の電源を制御する際に制御信号により排他的にオフ(オン)し、第 1 の電源をオフする際は、貫通電流の防止とレベル変換出力信号の固定という動作(作用)を実行する。従って、確実な貫通電流抑制と、レベル変換動作時の遅延増加抑制という効果が得られる。

#### <第 1 実施形態>

図 4 に、本発明のレベル変換回路の一実施形態を示す。

本レベル変換回路は、第 1 の電源(VDDL)が供給される第 1 の論理回路 11 の信号レベルを、第 2 の電源(VDDH)が供給される第 2 の論理回路 12 の信号レベルに変換するものであり、このレベル変換回路は、レベル変換コア回路 1 を有する。

この第 1 の論理回路 11 からの第 1 の電源レベルの信号(データ)(INL,INLB)はレベル変換コア回路 1 に供給され、第 2 の電源レベルへの変換を行う(図にレベル変換出力を OUTH,OUTHb で示す)。

そして、本発明に係るレベル変換回路の第 1 の実施形態では、レベル変換コア回路 1 の GND 電源端子と GND 電源との間に第 3 の論理回路 13 からの制御信号(E0)により制御されるスイッチ回路 10 と、レベル変換出力に接続され第 3 の論理回路 13 からの制御信号(E1)により制御されるプルアップおよび／またはプルダウン回路 3 とが設けられている。このスイッチ回路 10 とプルアップおよび

び／またはプルダウン回路 3 とは、第 1 の電源(VDDL)を制御する際に、第 3 の論理回路 1 3 によって制御され、第 1 の電源(VDDL)をオフする時には、あらかじめスイッチ回路 1 0 をオフし、またプルアップおよび／またはプルダウン回路 3 をオンして、レベル変換入力不定时の貫通電流の防止と、レベル変換出力信号の確定とを行う。また、第 1 の電源(VDDL)をオンする時には、オンされた後に、第 1 の電源とともにレベル変換入力安定してから、プルアップおよび／またはプルダウン回路 3 をオフにし、かつスイッチ回路 1 0 をオンにして、レベル変換動作を行う。こうして得られたレベル変換出力信号(OUTH,OUTH $\bar$ )は第 2 の論理回路 1 2 に供給される。

図 5 に、図 4 のレベル変換回路に使用されるレベル変換コア回路 1 の構成例を示す。すなわち、本実施形態に使用されるレベル変換コア回路 1 は、第 2 の電源(VDDH)端子にソース端子を接続し、レベル変換出力(OUTH $\bar$ ,OUTH)のそれぞれに接続されたドレイン端子をゲート端子にクロスカップル接続した 2 以上 (図では 2) の p-MOS (p-MOS トランジスタのこと。以下、単に p-MOS と記載する。n-MOS トランジスタも同様に n-MOS と表記する。) 1 1 0 1 と、レベル変換出力 (OUTH $\bar$ 、OUTH) のそれぞれをドレイン端子に接続し INL をゲート端子に接続し GND 電源端子 1 1 1 1 をソース端子に接続した n-MOS 1 1 0 2 とからなる。この n-MOS 1 1 0 2 のソース側の GND 電源側 1 1 1 1 を共通にした回路図を図 5 に示す。また、前記 n-MOS 1 1 0 2 のソース側の GND 電源側 1 1 1 1 を独立に配線した回路図を図 6 に示す。

図 4 のレベル変換回路に使用される図 7 に示すスイッチ回路 1 0 は、図 6 では、前記 n-MOS のソース側の GND 側への配線が独立したそれぞれに、図 7 に示すスイッチ回路 1 0 の GND 電源端子側が独立して (並列に) 接続されて構成されている。すなわち、図 5 では、スイッチ回路は 1 個設けられるが、図 6 に示すレベル変換コア回路 1 では、2 個 (2 以上) のスイッチ回路が、レベル変換コア回路 1 の各 n-MOS 毎に並列に接続され、スイッチ回路 1 0 を構成する n-MOS 1 0 1-1 のソース側が、GND (接地) に接続される。この際に、スイッチ回路の n-MOS 1 0 1-1 の GND への接続 1 1 1 2 は、別個に接続するか、あるいは、共通化した (1 つに結線した) 後に接続することができる。

本発明のレベル変換回路の 1 実施形態に使用されるプルアップ回路 3-1 は、図 8 に示すように、以下のように構成されている。すなわち、第 2 の電源端子(VDDH)をそれぞれのソース端子に接続し、第 3 の論理回路 1 3 からの制御信号 E1 をそれぞれのゲート端子にレベル変換出力( OUTH : out-high signal, OUTH $\bar$  B : out-high bar signal )のそれぞれを、それぞれのドレイン端子に接続した 2 以上 (2 個) の p-MOS 1 3 0 1 からなる。このプルアップ回路を用いた本発明の第 1 実施形態に係るレベル変換回路は、このような構成を採用することによ

て、前述したのと同様な処理を実行する。

図4の各論理回路、特に第3の論理回路13は、第1の電源(VDDL)の制御に応じて制御信号E0,E1を出力する機能を有するが、これらの詳細な構成は本発明とは直接関係しないので、説明を省略する。なお、この制御信号E0,E1を出力する第3の論理回路13等の論理回路の構成は、公知のものを使用することができる。

以下、第1実施形態の動作例を説明する。まず、レベル変換コア回路1の動作について、図9に示すタイミングチャートを用いて説明する。差動の電源レベルでのレベル変換動作であるので、レベル変換入力INL(IN low signal)とINLB(IN low bar signal)は、第1の電源レベルで差動入力され、Highレベルの入力するn-MOSに接続される側の出力(OUTHまたはOUTHB)がLowに引き落とされ、反対側の出力(OUTHBまたはOUTH)が第2の電源レベルのHighレベルに引き上げられる。

一方、スイッチ回路10とプルアップ/プルダウン回路3とを含むレベル変換回路の動作は、図10に示すタイミングチャートに従って実行される。即ち、第1の電源VDDLがオン状態の時、第3の論理回路13からの制御信号E0,E1はHighに遷移しており、スイッチ回路10がONの状態であり、プルアップ/プルダウン回路3がOFFの状態であると、図9と同様のレベル変換動作を行う。

第1の電源VDDL12をオフに遷移する際、まず、制御信号E0,E1をLowに切り換え、スイッチ回路10をOFFにし、プルアップ/プルダウン回路3をON状態で、レベル変換回路の貫通電流を防止する一方、レベル変換出力(OUTH,OUTHB)をそれぞれHighに固定する。

これにより、VDDLをオフにした際にレベル変換入力(INL,INLB)が不定となっても、貫通電流と出力のばたつき(オン-オフの不定な切り替わり)を防止可能となる。次に第1の電源VDDLをオンする際、まずVDDLをオンして安定した後、制御信号E0,E1をHighに切り換え、プルアップ/プルダウン回路をOFF、スイッチ回路をONで、レベル変換入力に従い、レベル変換出力の一方(OUTH)が立ち下がった後、図9と同様にしてレベル変換動作を行う。

このように、第1の電源VDDLを制御する際に、スイッチ回路10をOFFにし、プルアップ/プルダウン回路3をONに遷移しているため、レベル変換入力の不定に伴う貫通電流と出力のばたつきが防止可能となる。

従って、多電源を有するLSIであっても、不使用ブロックの電源をオフすることによるリーク電流削減を、前記したようにオーバーヘッドを抑制しつつ実現可能とすることができる。

本実施形態に使用されるプルアップ/プルダウン回路3は、レベル変換出力OUTHだけが第2の論理回路11に接続される場合(たとえば、図11、図13



に示すように、OUTH または OUTHB のみの出力を入力する場合)、図 11 に示すように、p-MOS101 を 1 個のみを使用した回路に変更してもよい。さらにレベル変換出力の相補性が必要とされる場合 (OUTH と OUTHB の 2 つの信号の入力が必要であり、かつこれら 2 つの信号が論理的に反転している場合) には、図 12 に示すように、プルアップ p-MOS101301 が 1 個とプルダウン n-MOS101302 が 1 個と、n-MOS101302 のゲートの前段に設けられる制御信号論理反転用インバータ 101303 とに変更することもできる。

さらに、レベル変換出力の OUTH に High、又は、OUTHB に Low が必要な場合には、図 13 に示すように、1 つの n-MOS101302 と、制御信号反転用インバータ 101303 とを有するプルダウン回路に変更することもできる。このプルダウン回路を本発明のレベル変換回路のプルアップおよび／またはプルダウン回路として採用した時、第 3 の論理回路側で反転制御信号を出力する場合には、図 13 のプルダウン回路のインバータ 101303 は不要となる。

本実施形態で使用されるレベル変換コア回路 1 として、図 5 または図 6 に示すレベル変換コア回路 1 に代えて、図 14 ～ 19 のいずれか 1 つの回路 1 に変更することができる。なお図 15、図 17 または図 19 に示す回路を使用する場合には、GND 側への 2 つに分かれた n-MOS からの出力は、図 7 に示すスイッチ回路 10 が並列に接続される。その際に、スイッチ回路 10 の出力側である GND への接続 1112 は、GND への接続を別々に行ってもよく、また、共通化して 1 つの共通配線として GND に接続することもできる。

また、本実施形態において、第 3 の論理回路の制御信号 E0 を用いてスイッチ回路を制御しているが、この制御信号 E0 を用いずに、E1 を用いることができ、さらに、これらの反転信号(E0B、E1B)を用いることもできる。なお他の実施形態において、制御信号 E0 以外の E1 あるいは E2 制御信号、これらの反転信号(E0B、E1B、E2B)を、適宜用いることもできる。

また本実施形態において、第 3 の論理回路 13 からの制御信号の E0 を用いてスイッチ回路を制御しているが、この制御信号 E0 に代えて E1 を用いて、制御してもよい。この制御信号の変更も、以下に述べる実施形態でも同様に使用することもでき、また、以下の実施形態において、この E0 の代わりに E2 を用いて制御してもよい。

#### <第 2 実施形態>

本発明に係るレベル変換回路の第 2 の実施の形態として、図 20 に示すように、その基本的構成は、第 1 実施形態と同様である。すなわち第 1 実施形態と同様に、レベル変換コア回路 1 と、プルアップおよび／またはプルダウン回路 3 とスイッチ回路 10 とを有している。そして本実施形態では、スイッチ回路 10 を、第 2 の電源 (VDDH) とレベル変換コア回路 1 の電源端子との間に設けるとともに、

プルアップ／プルダウン回路3をプルダウン回路3-2（たとえば図22または図23）のみに変更することができる。第2実施形態のこのようなレベル変換回路の全体の構成例を図20に示す。このように本実施形態では、スイッチ回路が、レベル変換回路とGNDとの間に設けられる第1実施形態の構成と異なり、スイッチ回路が、VDDHとレベル変換コア回路との間に設けられ、レベル変換コア回路が、第1の論理回路から出力されたINL、INLBを入力し、第2の論理回路へOUTHまたはOUTHBを出力する構成となっている。

図21は、図20に示す第2実施形態に係るレベル変換回路に使用されるスイッチ回路10の構成例を示す。このスイッチ回路10は、レベル変換コア回路1の電源端子をドレイン端子に、第3の論理回路13からの制御信号E0のインバータ出力をゲート端子に、第2の電源VDDHをソース端子（図21のS参照）に接続したp-MOS11001を有する。

また図22に示すように、図20に示すレベル変換回路に使用されるプルダウン回路3-2は以下のように構成されている。すなわち、GND電源をそれぞれのソース端子に接続し、第3の論理回路13からの制御信号E1のインバータ出力を、それぞれのゲート端子に接続し、レベル変換出力(OUTH,OUTHB)のそれぞれをそれぞれのドレイン端子に接続した2個（2以上）のn-MOS301からなる。

このような構成により、前述した第1の実施形態と同様の処理が実行される。

本実施形態で使用されるプルダウン回路3-2は、レベル変換出力OUTHだけが第2の論理回路に接続される場合には、図23に示すプルダウン回路のように、n-MOS103-201（1個のみ）とインバータとを用いた回路に変更してもよい。本実施形態で示したように、第2の論理回路への制御信号を1つ（OUTHまたはOUTHBのどちらか1つ）とする構成を採用することができる。また場合によっては、両方（OUTHおよびOUTHB）を出力する構成を採用することもできる。なお本実施形態でも第3の論理回路からの制御信号E0を用いてスイッチ回路を制御しているが、この制御信号E0に代えてE1を用いて、制御してもよい。これは、以下に述べる実施形態でも同様である。またこのように、第1実施形態から第2実施形態へのスイッチ回路10と、レベル変換コア回路1との配置構成の変更（スイッチ回路10を、第2の電源（VDDH）と、レベル変換コア回路1との間に設ける変更）は、以下に説明する第3から第7実施形態でも採用することができる。なお前記E0、E1の極性を逆に選択した場合にはインバータは不要となる。

### <第3実施形態>

本発明に係るレベル変換回路の第3の実施の形態として、第1の電源と第2の電源の電位差が大きい場合のレベル変換動作マージンをより改善することので

きるレベル変換回路について、説明する。本実施形態では、第2の電源が供給される制御回路2と第2の電源(VDDH)が供給されるプルアップ/プルダウン回路3との制御について工夫している。その構成例を図24に示す。本図において、第2の電源が供給されるレベル変換入力と、レベル変換出力と第3の論理回路13からの制御信号E2を入力しプルアップ/プルダウン回路3への制御信号(C0, C1, C2, C3)を出力する制御回路2と、第2の電源が供給され制御回路2からの制御信号(C0, C1, C2, C3)と第3の論理回路13からの制御信号E1とを入力し出力をレベル変換出力に接続するプルアップ/プルダウン回路3とを有する。

図25に示すように、図24に示すレベル変換回路に使用される制御回路2は以下のように構成されている。すなわち、第2の電源(VDDH)が供給され、INLと OUTHB と E2 を入力とし C0 を出力とする第1の NAND 回路 103201 と、第2の電源が供給され INLB と OUTH と E2 を入力とし C1 を出力とする第2の NAND 回路 103202 と、C0 を入力とし C3 を出力とするインバータ 103223 と、C1 を入力とし C2 を出力とするインバータ 103224 とからなる。

電源制御を行う第1の電源により状態が変化するレベル変換入力(INL, INLB)が不定の際に問題となる論理ゲートの貫通電流を、制御入力 E2 を入力とする NAND 回路 103201、103202 とを設けることによって解決している。

図26に示すように、図24に示すレベル変換回路に使用されるプルアップ/プルダウン回路3(5制御信号(C0~C3とE1)入力、2信号(OUTHおよび/または OUTHB)出力を行うことができるプルアップ/プルダウン回路3)の一例は以下のように構成されている。すなわち、第2の電源(VDDH)をソース端子に、C0 をゲート端子に、OUTH をドレイン端子に接続した p-MOS 103301 と、第2の電源(VDDH)をソース端子に、C1 をゲート端子に、OUTHB をドレイン端子に接続した p-MOS 103302 と、第2の電源(VDDH)をそれぞれのソース端子に、E1 をそれぞれのゲート端子に、OUTH と OUTHB をドレイン端子に接続した2以上(2個)の p-MOS 103303 と、GND 電源をソース端子に、C2 をゲート端子に、OUTH をドレイン端子に接続した n-MOS 103304 と、GND 電源をソース端子に、C3 をゲート端子に、OUTHB をドレイン端子に接続した n-MOS 103305 とからなる。

本実施形態の動作を説明する。図25の制御回路2で示す E2 をロー (Low) にすれば、図26の C0~C3 を入力とする MOS トランジスタ (103301~2および103304~5) は全てオフ (OFF) となり、この時同様に Low となる E1 が接続されたプルアップ/プルダウン回路2の2つ(2以上:複数)の p-MOS 103303 はオン (ON) となり、OUTH と OUTHB をともにプルアップしてハイ (High) に遷移する。

そして図10に示すように、第1の電源VDDLがオン状態の時に、第3の論理回路13からの制御信号E0,E1はHighに遷移しており、スイッチ回路10がONの状態であり、プルアップ/プルダウン回路3がOFFの状態であるときに、レベル変換入力信号INLとINLBが第1電源レベルでレベル変換コア回路1に差動入力されると、レベル変換コア回路2内のハイ(High)が入力するn-MOSに接続される側の出力(OUTHまたはOUTHB)がロー(Low)に引き落とされ、もう片方の出力が、第2の電源レベルのHighに引き上げられる動作となる。このときのレベル変換コア回路の動作は、図9に示すレベル変換コア回路の動作と同様である。

第1の電源VDDLをオフに遷移する際、まず、制御信号E0,E1をLowに切り換え、スイッチ回路10をOFFにし、プルアップ/プルダウン回路3をON状態にして、レベル変換回路の貫通電流を防止する一方、レベル変換出力(OUTH,OUTHB)をそれぞれHighに固定する。

これにより、VDDLをオフにした際にレベル変換入力(INL,INLB)が不定となっても、貫通電流と出力のばたつき(オン-オフの不定な切り替わり)を防止可能となる。次に第1の電源VDDLをオンに遷移する際、まずVDDLをオンに遷移して安定させた後、制御信号E0,E1をHighに切り換え、プルアップ/プルダウン回路をオフ(OFF)にし、スイッチ回路をオン(ON)にして、レベル変換入力に従い、レベル変換出力の一方(OUTH)が立ち下がった後、前記した図9と同様のレベル変換動作を行う。

このように、第1の電源VDDLを制御する際に、スイッチ回路10をOFFにし、プルアップ/プルダウン回路3をONに遷移しているため、レベル変換入力の不定に伴う貫通電流と出力のばたつきが防止可能となる。

従って、多電源を有するLSIであっても、不使用ブロックの電源をオフすることによるリーク電流削減を、前記したようにオーバーヘッドを抑制しつつ実現可能とすることができる。

このような本発明のレベル変換回路に使用される制御回路2を構成する図25に示すNAND回路103201、103202の構成例を図27に示す。本図において、制御信号E2は出力端子から最も遠いn-MOS103001-6(または103002-6)に接続している。これは、E2信号は、遅延制約が緩いため、このような接続が可能である。逆にレベル変換入力(INL,INLB)は遅延制約がきつく出力端子に近いn-MOS103001-4(または103002-4)に接続している。これは出力端子から遠いn-MOSに接続する場合に比べてゲート遅延を少なくすることが可能なためである。但し、レベル変換入力は第1の電源レベルであり、第2の電源との電位差が大きくなった場合、あるいはn-MOS閾値が大きい場合、特に基板効果によるn-MOS閾値の上昇の影響が大きくなる

と、出力端子に近い n-MOS に接続した方が、遅延が大きくなる場合がある。この場合には、基板効果の影響の小さい出力端子から遠い n-MOS に接続して、遅延の増加を防止することができる。図 27 の入力順にとられる必要はない。また、レベル変換入力に接続される p-MOS は、レベル変換入力の High レベルが第 2 の電源までいかないため、p-MOS 閾値によっては OFF せず、n-MOS は十分 ON せず、NAND 動作が困難になる可能性がある場合には、p-MOS のチャネル幅/チャネル長の比(W/L)を小さくし、あるいは閾値を減少(極性が負で絶対値を増加)させたり、対応する n-MOS の W/L を大きくしたり閾値を極性が正で絶対値を減少させることにより NAND 動作を保証することができる。また、論理動作が可能であっても、p-MOS の W/L を小さくしたり、閾値を減少(例えば、閾値を VDDL-VDDH 以下の値、すなわち極性は負で絶対値は増加)することによって、NAND リークを抑制することが可能である。

このレベル変換回路の動作のタイミングチャートを、図 28 に示す。第 1 の電源(VDDL)がオンの状態で第 3 の論理回路 13 からの制御信号(E0,E1,E2)が High の場合には、レベル変換の入力(INL,INLB)の変化により、レベル変換の出力(OUTH,OUTHB)が得られる。特に、制御回路 2 によりプルアップ/プルダウン回路 3 が制御されることにより、状態が変化する方向に補助される。

第 1 の電源(VDDL)をオフにした場合には、あらかじめ E0 を Low にしてスイッチ回路 10 をオフにするとともに、E1 を Low にしてレベル変換出力(OUTH か OUTHB のいずれか)を High に固定してから、第 1 の電源(VDDL)をオフにする。

第 1 の電源(VDDL)をオンにする場合には、まず、第 1 の電源をオンにして電源が安定した後に、制御信号を制御する。

本実施形態で使用されるプルアップおよび/またはプルダウン回路 3 は、レベル変換回路と第 2 の論理回路 11 の接続(入力)が OUTH のみの場合、図 29 に示すプルアップ/プルダウン回路 3 に変更しても良い。OUTHB にだけ接続(入力)する場合には、制御信号 E1 がゲート端子に接続される p-MOS のドレイン端子を OUTH でなく、OUTHB に接続する。

また本実施形態で使用されるプルアップおよび/またはプルダウン回路 3 において、OUTH を High、OUTHB を Low に固定する必要がある場合には、図 30 または図 31 に示すプルアップおよび/またはプルダウン回路 3 に変更しても良い。但しこの場合には、レベル変換入力 INL、INLB の一方が第 1 の電源 VDDL 制御時に Low であることが保証され貫通電流の発生を防止する場合に限られる。

本実施形態では、制御回路 2 とプルアップおよび/またはプルダウン回路 3 とを、レベル変換動作時にプルアップ回路(3-1)のみを有するように、それぞれ

れ、図32と図33－図36に変更しても良い（3制御信号（C0とC1、C2とC3などのC0～C3の中から選択される2制御信号とE1信号）入力、2信号（OUTHおよび／またはOUTHB）出力を行うことができるプルアップおよび／またはプルダウン回路3）。図33－図36への変更時の制約は図26および図29～図31の場合と同様である。前記した図6、15、17、19または図37に示すレベル変換コア回路1を用い、そのn-MOSと、スイッチ回路10のn-MOSを、それぞれ独立に並列接続した場合には、この限りではない。

本実施形態で使用される制御回路2とプルアップおよび／またはプルダウン回路3とを、レベル変換動作時にプルダウン（3－2）機能のみを動作するようにした場合、それぞれ図38と図39～図42に変更することもできる。

図39～図42への変更時の制約は、前記した図26、図29～図31の場合と同様である。

また本実施形態で使用される制御回路を、図43～図45に変更しても良い。図43～図45への変更後の機能、動作は、それぞれ図25、図32、図38と同様であり、説明を省略する。

この図43～図45において、図43～図45に示すNOR回路の例を図46に示す。この図46において、制御信号E2B（E2の反転信号）は、出力端子から最も遠いp-MOS102601に接続している。これはE2Bの遅延制約がもっとも緩いためである。またレベル変換入力(INL,INLB)を、出力端子に近いp-MOSに接続することによって、出力端子から遠いp-MOSに接続する場合に比べてゲート遅延を少なくすることができる。但し、図46の入力順にとられる必要はない。また、レベル変換入力に接続されるp-MOSは、レベル変換入力のHighレベルが第2の電源電圧レベルまで到達できないため、p-MOSの閾値によってはOFFせず、またn-MOSは十分にONせず、これによりNOR動作が困難になる場合がある。この場合には、前記同様に、p-MOSのチャネル幅／チャネル長の比(W/L)を小さくしたり、当該閾値を減少(VDDL-VDDH以下、極性は負で絶対値は増加)させたり、対応するn-MOSのW/Lを大きくしたり閾値を減少させることによりNOR動作を保証させるようにする。また、論理動作が可能であっても、p-MOSのW/Lを小さくしたり、閾値を減少（閾値をVDDL-VDDH以下とする。すなわち、極性を負とし、絶対値を増加させる（前記同様））ことによって、NORリークを抑制可能である。

なお本実施形態の説明では、第3の論理回路から出力される制御信号E0～E2により、プルアップおよび／またはプルダウン回路において、E1が使用され、制御回路ではE2が使用され、スイッチ回路10ではE0が使用されて制御されていた場合について説明している。しかしながら、上記したE0～E2のプルアップおよび／またはプルダウン回路と、制御回路と、スイッチ回路10への制御信

号の入力を、それぞれ別の制御信号に適宜代えることもできる。また、前記 OUTH 信号または OUTHB 信号の少なくとも 1 つを用いたり、さらに、前述した第 1 の実施形態 1 から第 2 実施形態への例のように、レベル変換コア回路 1 とスイッチ回路との配置を交換して、レベル変換装置を構成することもできる。

#### <第 4 実施形態>

本発明の第 4 の実施の形態は、制御回路 2 を工夫することによって、第 3 の論理回路 13 からの制御信号 E1 を省略し、かつ、プルアップおよび／またはプルダウン回路 3 を簡略化し、その他の基本的構成は上記したいずれかの実施形態と同様のものを採用するようにした。その構成を図 47 に示す。

図 47 に示すレベル変換回路に使用される制御回路 2 を、図 48 に示す。この図 48 に示すように、本実施形態に使用される制御回路 2 は、以下のように構成される。すなわち、図 25 に比べると、C0 を出力する NAND 回路を AND-NOR 回路に変更し、E2 の反転信号 (E2B) を、この AND-NOR 回路の NOR 部分に入力する。これにより E2 が Low になると C0 が High に遷移し、C3 が Low に遷移することとなる。この信号の役割の変化以外には、前記した第 3 実施形態等と同様にして動作する。

図 47 に示すレベル変換回路に使用されるプルアップ／プルダウン回路 3 を図 49 に示す。以下にこの構成を説明する。すなわち、図 30 と比較すると、E1 がゲート端子に入力される p-MOS 103322 と、インバータ 103326 と、その出力をゲート端子に接続する n-MOS 103325 とを削減することができる。但し、図 30 と同様に、レベル変換入力 INL, INLB の一方が第 1 の電源 VDD 制御時に Low であることが保証され、貫通電流の発生を防止する場合に限られる。

図 48 の AND-NOR 回路は、たとえば示すように、以下のように構成されている。すなわち、制御信号 E2 の反転信号 E2B をゲート端子に接続する p-MOS 102 を電源側に配置する。これは E2B の遅延制約が緩いためである。その他は図 27 の NAND 回路と同様である。図 50 において、2 個の n-MOS への入力がそれぞれ、INL or INLB と、OUTH or OUTHB となっているが、これは、入力信号が INL と OUTH、INL と OUTHB、INLB と OUTH、INLB と OUTHB のいずれかの組み合わせの入力信号であることを示している。INL or INLB と、OUTH or OUTHB などの表記した場合には、本明細書では、このような入力信号の組み合わせを意味している。

図 47 に示すレベル変換回路の動作例を図 51 のタイミングチャートに示す。

本実施形態に使用される制御回路 2 とプルアップ／プルダウン回路 3 とでは、レベル変換時にプルアップ (3-1) 機能のみを発揮させるように、第 1 の電源オフ時にレベル変換出力の OUTH のみを High レベルに固定する場合に、それぞ

れ図 5 2 と図 5 3 に示す回路に変更しても良い。本実施形態で使用される制御回路 2 とプルアップ／プルダウン回路 1 (図 5 3 参照) は、レベル変換時にプルダウン機能のみを使用し、第 1 の電源オフ時にレベル変換出力の OUTH を High、OUTH<sub>B</sub> を Low に固定した場合には、それぞれ図 5 4、図 5 5 に示す回路構成に変更しても良い。また本実施形態で使用される制御回路 2 は、図 5 6 ～ 5 8 のいずれか 1 つに変更しても良い。このように変更されたレベル変換回路は、それぞれ、図 4 8、図 5 2、図 5 4 の項で説明したのと同様に動作し、変更前の回路と同様の機能を発揮する。

図 5 6 ～ 5 8 に使用されている OR-NAND 回路は、図 5 9 に示すように、以下のように構成されている。すなわち、制御信号 E2 をゲート端子に接続する n-MOS を GND 電源側に配置する。これは E 2 の制約が緩いためである。他は、図 4 6 の NOR 回路と同様である。

本実施形態で使用される制御回路 2 を、レベル変換時にプルアップ (3-1) 機能またはプルダウン (3-2) 機能のみを動作可能なように第 1 の電源オフ時にレベル変換出力の OUTH と OUTH<sub>B</sub> とをともに High に固定する場合、あるいはプルダウン (3-2) で Low に固定する場合には、図 6 0 または図 6 1 に変更しても良い。但し、スイッチ回路位置を電源側に配置した場合に、電源 GND 間貫通電流が無い場合に限られる。

#### <第 5 実施形態>

本発明の第 5 の実施の形態は、第 1 の電源と第 2 の電源の電位差が大きい場合のレベル変換動作マージンを改善可能とするレベル変換回路において、第 2 の電源を供給される制御回路 2 と第 2 の電源を供給されるプルアップ／プルダウン回路 3 を有する構成における制御について工夫した。本実施形態では特にレベル変換コア回路 1 の制御について工夫している。その構成を図 6 4 に示す。本図において、図 2 4 に対して制御回路 2 はレベル変換コア回路 1 を制御する制御信号 C4、C5 を用意している。

図 6 4 のレベル変換回路に使用されるレベル変換コア回路は、図 6 5 に示すように以下のように構成されている。すなわち、レベル変換コア回路 10 の構成例を示す図 1 8 または図 1 9 を本実施形態で採用した場合、出力にドレイン端子が接続される 2 個の p-MOS スイッチのゲート端子を、制御回路 2 からの制御信号 C4、C5 により、制御するように変更している。

またレベル変換回路の他の実施形態を示す図 6 6 に示す。図 6 6 において使用されている制御回路 2 は、図 6 4 に示すように、以下のように構成されている。すなわち、図 2 5 に示す回路に対して、C3 と C2 に加えて C4 と C5 を出力している。本実施形態で使用できるプルアップ／プルダウン回路 3 の構成は、図 2 6 を、たとえば採用することができ、さらに、この図 2 6 に示すプルアップ／プル



ダウン回路に代えて、図29～図31のいずれかに示すプルアップ／プルダウン回路を採用できる。その動作は、前記した場合と同様である。

本実施形態で使用されている制御回路2を図66に示す制御回路2に代えて、図67に示す回路に変更しても良い。また、レベル変換時にプルアップ機能のみを発揮するようにする場合には、図66に示す制御回路に代えて、図68または図69に示すような回路構成に変更することができる。さらに、レベル変換時にプルダウン3-2機能のみを発揮させるような場合には、図66に示す制御回路に代えて、図70または図71に示すような回路構成に変更することができる。また、レベル変換時のプルアップ機能もプルダウン3-2機能も用いない場合には、図66に示す制御回路に代えて、図72または図73に示す回路構成に変更することができる。そしてこれらの制御回路を採用した場合にプルアップ機能のみを発揮するように、図33～34あるいは図35～36（プルダウン機能も有する）を採用することができる。なおこれらのプルアップおよび／またはプルダウン回路は、制御信号C0、C1信号を入力しているが、これをC2、C3に代えた場合には、図39～42のいずれかのプルアップおよび／またはプルダウン回路を採用することができる。その他、これらの制御回路2とプルアップおよび／またはプルダウン回路3の動作は、前記した実施形態と同様であり、またこれら意外の制御回路とプルアップおよび／またはプルダウン回路の組み合わせのレベル変換回路も構成（変更）可能であり、これらも本発明に含まれる。要するに本実施形態では、制御信号C4、C5信号を出力する以外は、その他出力する制御信号については、制限なく、自在に選択することができ、このようなその他の制御信号として、たとえば図67に示すような図66と同様にC0～C5信号（その他の制御信号としてC0～C3信号）を選択した場合、図66のNAND回路に代えてNOR回路を採用した場合の制御回路の例を挙げることができる。また、図68に、その他の制御信号として、C0、C1信号を選択し、NAND回路を選択した制御回路の例を示す。図68と同様に、その他の制御信号として、C0、C1信号を選択し、NOR回路を選択した制御回路の例を図69に示す。以下、その他の制御信号として、C2、C3信号を選択し、NAND回路を選択した制御回路の例を図70に、その他の制御信号として、C2、C3信号を選択し、NOR回路を選択した制御回路の例を図71に示す。さらに、その他の制御信号を出力せずにC4およびC5信号のみを制御信号として出力するNAND回路構成の制御回路の例を図72に示し、NOR構成の制御回路を図73に示す。

このような第5実施形態の動作例を示せば、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighの場合、第1の論理回路から出力されたINL信号がHigh（INLBがLow）となると制御回路2はこのINL信号が入力されてC0信号等を出力する。この出力されたC0はLowを出力してOUTHに接続

されたプルアップおよび／またはプルダウン回路3内のp-MOS がオンして OUTH をプルアップするとともに制御回路2により C3はHigh を出力し、その結果、プルアップおよび／またはプルダウン回路3内の OUTHB に接続されるn-MOS がオンして OUTHB をプルダウンし、制御回路2により C4はHigh を出力して OUTHB に接続されるプルアップおよび／またはプルダウン回路3内のp-MOS スイッチをオフして OUTHB のプルアップを抑制し、同時にレベル変換コア回路1の動作により OUTHB がLow に引き下げられると、制御回路2により C0はHigh を出力してプルアップおよび／またはプルダウン回路3内のp-MOS はオフとなり、プルアップを終えるとともに、制御回路2により C3はLow を出力してプルアップおよび／またはプルダウン回路3内のn-MOS はオフとなりプルダウンを終え、制御回路2により C4はLow を出力してプルアップおよび／またはプルダウン回路3内のpMOS スイッチはオンとなる。そして、INL がHigh、INLB がLow、OUTH がHigh、OUTHB がLow になる。

次に、外部の第1の論理回路4により INLB がHigh(INL がLow)となると、この信号が入力されて制御回路2により、C1はLow を出力して OUTHB に接続されるプルアップおよび／またはプルダウン回路3内のp-MOS がオンに遷移して OUTHB をプルアップするとともに、制御回路2により C2はHigh を出力して OUTH に接続されるプルアップおよび／またはプルダウン回路3内のn-MOS がオンに遷移して OUTH をプルダウンし、制御回路2により C5はHigh を出力して OUTH に接続されるプルアップおよび／またはプルダウン回路3内のp-MOS スイッチをオフに遷移して OUTH のプルアップを抑制し、同時にレベル変換コア回路1の動作により OUTH がLow に引き下げられると、制御回路2により C1はHigh を出力してプルアップおよび／またはプルダウン回路3内のp-MOS はオフとなりプルアップを終えるとともに、制御回路2により C2はLow を出力してプルアップおよび／またはプルダウン回路3内のn-MOS はオフとなりプルダウンを終え、制御回路により C5はLow を出力してプルアップおよび／またはプルダウン回路3内のp-MOS スイッチはオンとなる。そして、INL がLow、INLB がHigh、OUTH がLow、OUTHB がHigh となる。なおここでプルアップおよび／またはプルダウン回路3内のn-MOS (トランジスタ)、p-MOS (トランジスタ)は、上記したような図7で示される構成を採用した場合について説明した。しかしながら、n-MOS をp-MOS に入れ替えおよび

／または p-MOS を N-mos に入れ替えた構成を採用した場合には、OUTH 信号と OUTHB 信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

#### <第6実施形態>

本発明の第6の実施の形態は、図64に、図47の工夫を適用する。その具体的に表した構成を図74に示す。本図において、図75に示すような制御回路2を以下のように工夫した。すなわち、本実施形態では、プルアップ／プルダウン回路3を制御する E1 を不要とするとともに、プルアップ／プルダウン回路3を簡略化している。

図75に示すように、図74に係るレベル変換回路に使用されている制御回路2は、以下のように構成されている。すなわち、図48に対して、C3とC2に加えて、C4とC5とを出力している。この図74に使用されるプルアップ／プルダウン回路3は、図47に示す第4実施形態のレベル変換回路に使用されるものと同様のものを使用可能である。

本実施形態で使用される図75に示す制御回路2を、図76に示す制御回路2と変更しても良い。また、レベル変換時にプルアップ(3-1)機能のみを発揮しうるようにする場合には、図77または図78に変更することができ、さらに、レベル変換時にプルダウン(3-2)機能のみを発揮しうるようにする場合には、図79または図80に変更することができ、また、レベル変換時のプルアップ機能もプルダウン機能も用いない場合には、図81または図82に示す制御回路2に変更することができる。

本実施形態の動作は、前記した実施形態の動作と動作と同様である。

#### <第7実施形態>

図83乃至84に示すように、本発明の第7の実施の形態は、図64、図74と比較して、制御回路2を工夫している。その構成を図79および図80に示す。これらの図において、プルアップ／プルダウン回路3がプルダウン(3-2)機能のみを発揮しうるようにする場合には、スイッチ回路を不要としている。制御回路の例は、図79または図80と同様のものを使用可能であり、図85に示すように、図85のレベル変換回路動作を示すタイミング例は以下のように表され

る。

すなわち、E2 が Low の時、C4、C5 は High レベルであり、ゲート端子に接続するレベル変換コア回路 1 の p-MOS はこれらを OFF するように電源側に配置されるスイッチとして機能する。これによって、その結果、レベル変換入力に依存せず、電源 GND 貫通電流パスを防止できる。

また、以上の実施形態において、第 1 の電源をオフする際に、第 3 の論理回路 13 の制御信号出力(E0,E1,E2)を Low にすることを前提としているが、それぞれを適宜、反転信号を用いることで制御回路やプルアップ/プルダウン回路 3 の簡略化も可能である。上記した実施形態の説明における使用した図において、p-MOS (トランジスタ) は、そのゲート部分に丸 (○) を表示した。なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内にあれば、各実施形態は適宜変更され得ることができ、これらの変形実施形態も本願発明に含まれる。また、同一タイミングであれば、E0、E1、E2 は 1 つに取りまとめ可能である。また図 10、図 28 等のタイミングチャートにおいて、×で示した部分は、不定の状態を表す。

#### 産業上の利用可能性

以上説明したように、本発明によれば、第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するというレベル変換回路において、レベル変換コア回路の GND 電源端子と GND 電源の間に第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第 3 の論理回路により制御されるプルアップ/プルダウン回路を設けるという基本構成に基づき、第 1 の電源を制御する際の貫通電流と遅延増加抑制を実現することができる。なお、レベル変換コア回路 1、スイッチ回路 10、制御回路 2、プルアップおよび/またはプルダウン回路 3 の基本的構成は、前記したような構成が採用されるが、これらは、並列に 2 以上接続して回路を構成することもでき、たとえばレベル変換コア回路等を 2 以上並列に接続してレベル変換コア回路として使用することも可能である。

## 請求の範囲

1. 第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路の GND 電源端子（接地電源端子）と、GND 電源（接地電源）との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とするレベル変換回路。

2. 第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路の電源端子と第2の電源との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とするレベル変換回路。

3. 前記レベル変換コア回路は、2以上の p-MOS からなる p-MOS クロスカップルラッチと、2以上の n-MOS からなる差動 n-MOS とからなり、

前記 p-MOS は、前記第2の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、

前記 n-MOS は、クロスカップルラッチと前記 GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことを特徴とする請求項1または2に記載のレベル変換回路。

4. 前記レベル変換コア回路は、

前記第2の電源に各ソース端子が、各レベル変換出力に各ゲート端子が接続された2以上の p-MOS からなる p-MOS クロスカップルラッチと、

前記 p-MOS の各ドレイン端子に前記他の p-MOS のソース端子が、各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上の p-MOS スイッチと、

GND 電源端子に各ソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力にそれぞれのゲート端子が接続された2以上の n-MOS からなる差動 n-MOS スイッチと、  
からなっていることを特徴とする請求項1または2に記載のレベル変換回路。

5. 前記プルアップおよび／またはプルダウン回路はプルダウン回路であり、当該プルダウン回路は、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力の少なくとも一方にドレイン端子が接続された1つまたは2以上の n-MOS を有することを特徴とする請求項1または2に記載のレベル変換回路。

6. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第2の電源の間に配置され第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第3の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

7. 前記第3の論理回路は、前記制御回路を前記第3の論理回路からの制御信号により制御し、前記制御回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とする請求項8に記載のレベル変換回路。

8. さらに前記制御回路は、

前記プルアップおよび／またはプルダウン回路を制御する制御信号を出力して前記プルアップおよび／またはプルダウン回路を制御することを特徴とする請求項7に記載のレベル変換回路。

9. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、制御信号にゲート端子が、前記各レベル変換コア出力にドレイン端子が各々接続された2以上の p-MOS を用いることを特徴とする請求項1、3

または 8 のいずれか 1 項に記載のレベル変換回路。

10. 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続された p-MOS と、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力他方にドレイン端子が、各々接続された n-MOS とを用いることを特徴とする請求項 1、3 または 8 のいずれか 1 項に記載のレベル変換回路。

11. 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とし前記プルダウン回路と前記レベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路と前記プルダウン回路とを前記第 3 の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

12. 前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS トランジスタは、少なくともチャネル幅／チャネル長の比が小さいかまたは閾値が高いトランジスタからなっていることを特徴とする請求項 11 記載のレベル変換回路。

13. 前記 NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路の制御信号出力が接続される n-MOS のソース端子が GND 電源に接続されることを特徴とする請求項 11 記載のレベル変換回路。

14. 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS を付加していることを特徴とする請求項 7 記載のレベル変換回路。

15. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS を付加していることを特徴とする請求項7記載のレベル変換回路。

16. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に各ドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする請求項7記載のレベル変換回路。

17. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする請求項7記載のレベル変換回路。

18. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給され前記レベル変換入



力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路からなり、前記 NAND 回路の出力信号を制御信号として出力していることを特徴とする請求項7記載のレベル変換回路。

19. さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS を付加されることを特徴とする請求項18記載のレベル変換回路。

20. さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されることを特徴とする請求項18記載のレベル変換回路。

21. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の p-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、

前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転にゲート端子が、前記レベル変換出力のもう一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする請求項18記載のレベル変換回路。

22. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上の

p-MOS からなり、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする請求項 18 記載のレベル変換回路。

23. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給されそれぞれの前記 NAND 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 7 記載のレベル変換回路。

24. 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS が付加されていることを特徴とする請求項 18 記載のレベル変換回路。

25. 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されていることを特徴とする請求項 23 記載のレベル変換回路。

26. 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源に

ソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS が付加されていることを特徴とする請求項23記載のレベル変換回路。

27. 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなり、前記 GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS が付加されていることを特徴とする請求項23記載のレベル変換回路。

28. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給されそれぞれの前記 NOR 回路出力を入力とするインバータ2以上からなり、前記 NOR 回路2以上と前記インバータ2以上のそれぞれの出力信号を制御信号として出力されることを特徴とする請求項14乃至17のいずれか1項に記載のレベル変換回路。

29. 前記 NOR 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいか、または、閾値の極性は負で絶対値の大きいトランジスタからなっていることを特徴とする請求項28記載のレベル変換回路。

30. 前記 NOR 回路は、CMOS 回路構成であり、前記第3の論理回路からの制御信号またはその反転信号が電源側の p-MOS に接続されることを特徴とする請求項28記載のレベル変換回路。

31. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記

第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され、前記各 NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項19～22のいずれか1項に記載のレベル変換回路。

32. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1の NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2の NOR 回路からなり、前記第1及び第2の NOR 回路の各出力信号を制御信号として出力していることを特徴とする請求項24～27のいずれか1項に記載のレベル変換回路。

33. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給され各前記 NAND 回路出力を入力とする2以上のインバータからなり、前記 AND-NOR と NAND 回路と前記インバータの出力信号を制御信号として出力していることを特徴とする請求項8記載のレベル変換回路。

34. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項8または10記載のレベル変換回路。

35. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供

給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路からなり、前記 AND-NOR と NAND 回路の各出力信号を制御信号として出力していることを特徴とする請求項8記載のレベル変換回路。

36. 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする請求項35記載のレベル変換回路。

37. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給され前記各 NAND 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項8記載のレベル変換回路。

38. 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項37記載のレベル変換回路。

39. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記各 NOR 回路出力を入力とする2以上のインバータからなり、前記 OR-NAND 回路と前記 NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする請求項34記載のレベル変換回路。

40. 前記 OR-NAND 回路は、CMOS 回路構成であり、前記レベル変換

入力信号が接続される p-MOS はチャネル幅／チャネル長の比が小さいかまたは、閾値の極性は負で絶対値が高いかの少なくとも 1 つの条件を有することを特徴とする請求項 39 記載のレベル変換回路。

4 1. 前記 OR-NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路からの制御信号が GND 電源側の n-MOS に接続されることを特徴とする請求項 39 記載のレベル変換回路。

4 2. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 36 記載のレベル変換回路。

4 3. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記 OR-NAND 回路と NOR 回路の各出力信号を制御信号として出力していることを特徴とする請求項 38 記載のレベル変換回路。

4 4. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路とからなり、前記 AND-NOR の各出力信号を制御信号として出力していることを特徴とする請求項 36 記載のレベル変換回路。

4 5. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信

号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記各 OR-NAND 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項36記載のレベル変換回路。

46. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項38記載のレベル変換回路。

47. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする OR-NAND 回路と、前記 OR-NAND 回路の各出力信号を制御信号として出力していることを特徴とする請求項38記載のレベル変換回路。

48. 前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力に他の p-MOS のゲート端子が接続された2以上の前記 p-MOS からなる p-MOS クロスカップルラッチと、前記 p-MOS のドレイン端子の各々のソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上の p-MOS スイッチと、GND 電源に各ソース端子が、前記各レベル変換出力にドレイン端子が、レベル変換入力に各々のゲート端子が接続された2以上の n-MOS からなる差動

n-MOS スイッチとなっていることを特徴とする請求項 47 に記載のレベル変換回路。

49. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第1の NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第2の NAND 回路と、前記第2の電源が供給され前記各 NAND 回路出力を入力とする2以上のインバータからなり、前記第1及び第2の NAND 回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項14～17、19～22または24～27のいずれか1項記載のレベル変換回路。

50. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第2の電源が供給され前記各 NOR 回路出力を入力とするインバータ2以上からなり、前記 NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項14～17、19～22または24～27のいずれか1項に記載のレベル変換回路。

51. 前記スイッチ回路は、GND 電源にソース端子が、制御信号にゲート端子が、前記レベル変換コア回路の GND 電源端子にドレイン端子が、各々接続された n-MOS を有することを特徴とする請求項1、3、8～11のいずれか1項に記載のレベル変換回路。

52. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供



給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする NAND 回路と、前記第2の電源が供給されそれぞれの前記 NAND 回路出力を入力とする2以上のインバータからなり、前記 AND-NOR 回路と NAND 回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項34記載のレベル変換回路。

53. 前記 OR-NAND 回路と NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路と NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項39に記載のレベル変換回路。

54. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1の AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2の AND-NOR 回路と、前記第2の電源が供給され前記第1および第2の各 AND-NOR 回路の出力を入力とする2以上のインバータからなり、前記第1及び第2の AND-NOR 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする請求項8記載のレベル変換回路。

55. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路と、前記第2の電源が

供給され前記第1及び第2の各 OR-NAND 回路出力を入力とする2以上のインバータからなり、前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される2以上の p-MOS からなることを特徴とする請求項8記載のレベル変換回路。

56. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第2の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項4～6、または7～9のいずれか1項に記載のレベル変換回路。

57. 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 4～9 のいずれか 1 項に記載のレベル変換回路。

58. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 4～9 のいずれか 1 項に記載のレベル変換回路。

59. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路からなり、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 4～7 または 9～11 のいずれか 1 項に記載のレベル変換回路。

60. 前記レベル変換コア回路は、2 以上の第 1 の p-MOS からなる p-MOS クロスカップルラッチと、2 以上の n-MOS からなる差動 n-MOS と、第 2 の 2 以上の p-MOS と、からなり、

前記 p-MOS クロスカップルラッチは、前記第 2 の電源にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が、それぞれ接続され、

前記差動 n-MOS は、前記 GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、

前記第 2 の p-MOS は、前記第 2 の電源に各ドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が、各々接続された

ことを特徴とする請求項 1、3、8、58 または 59 のいずれか 1 項に記載のレベル変換回路。

61. 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力としプルダウン回路とレベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路も前記第3の論理回路からの制御信号を接続したことを特徴とするレベル変換回路。

62. 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上の n-MOS からなることを特徴とする請求項 61 記載のレベル変換回路。

63. 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1の OR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2の OR-NAND 回路からなり、前記第1及び第2の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 6 1 記載のレベル変換回路。

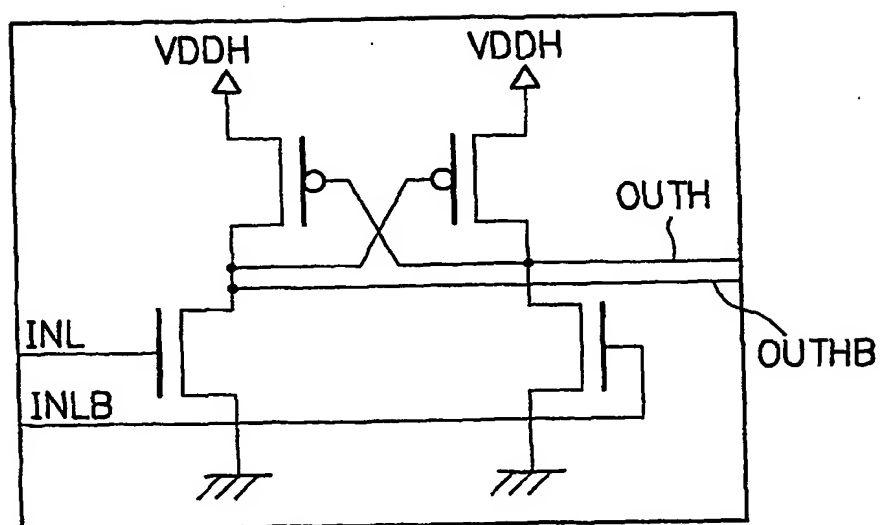
6 4. 前記スイッチ回路は、第 2 の電源にソース端子が、制御信号またはその反転信号にゲート端子が、前記レベル変換コア回路の電源端子にドレイン端子が接続された p-MOS を用いたことを特徴とする請求項 2、7～9 または 6 1 のいずれか 1 項に記載のレベル変換回路。

6 5. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする 2 以上の NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路とからなり、前記 NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 3、5、6 または 6 1 のいずれか 1 項に記載のレベル変換回路。

6 6. 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする 2 以上の NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 3、1 1、1 2 または 6 1 のいずれか 1 項に記載のレベル変換回路。

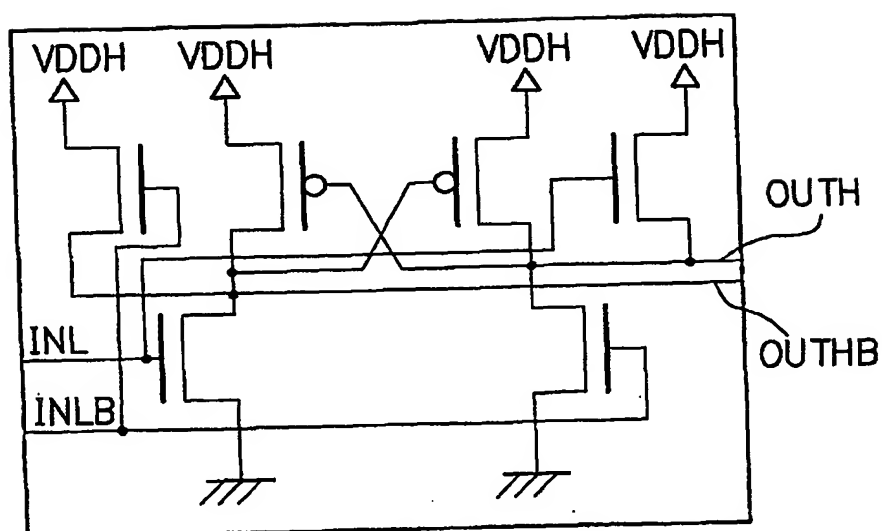
1/85

図 1



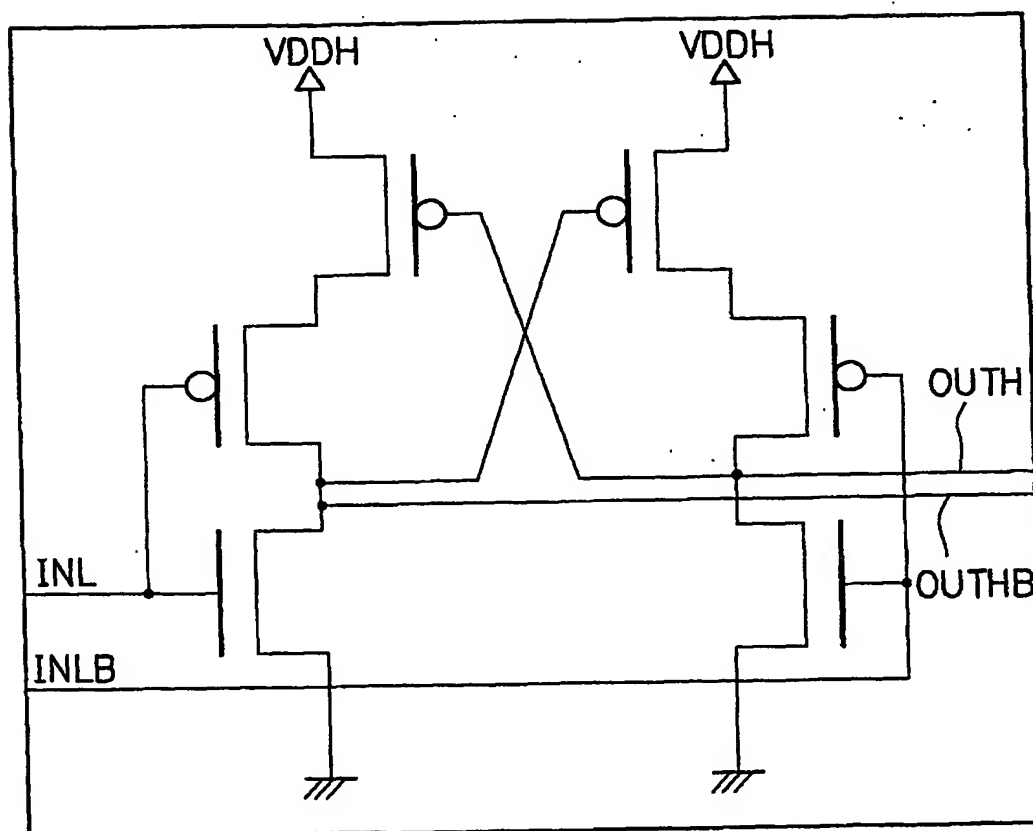
2/85

図 2



3/85

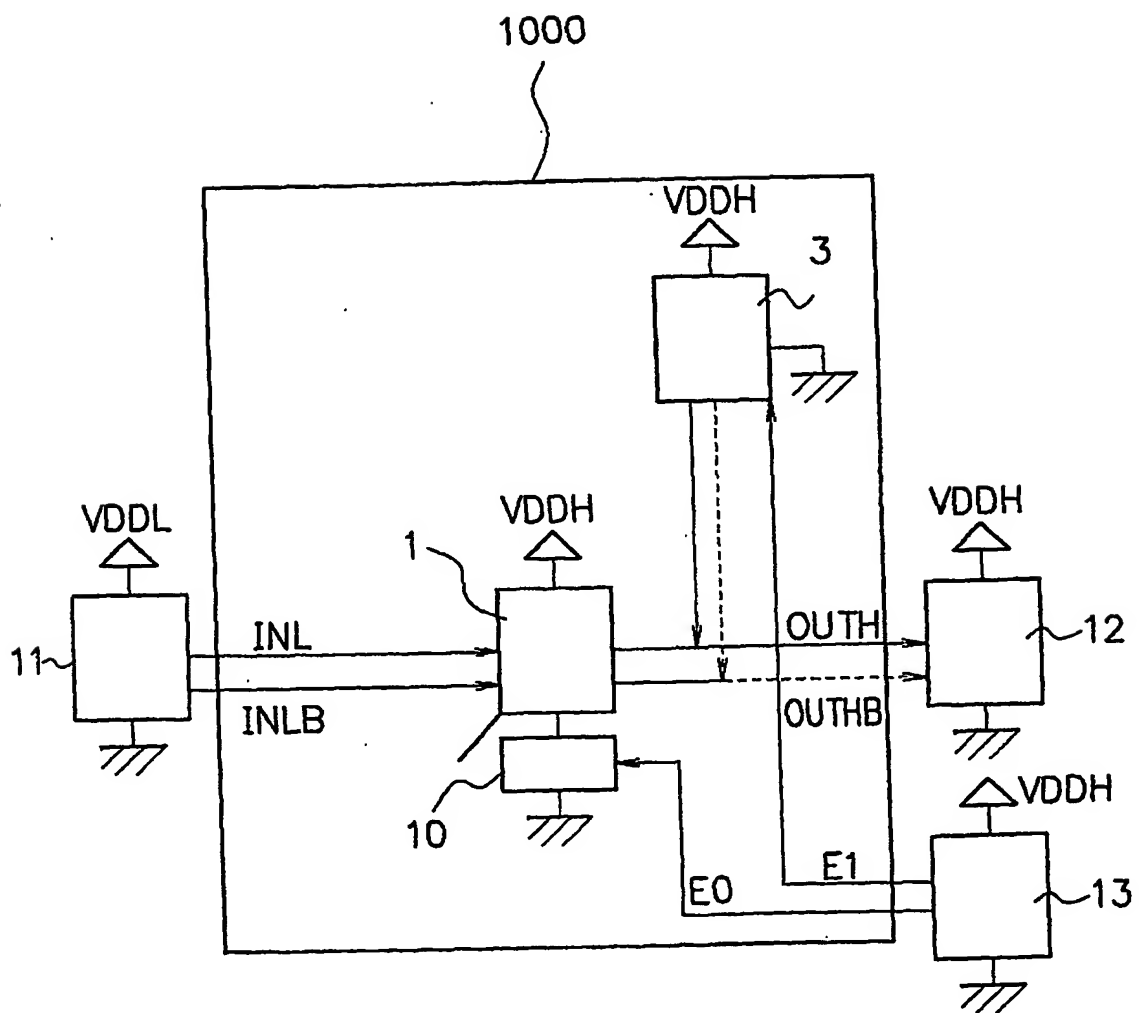
図 3





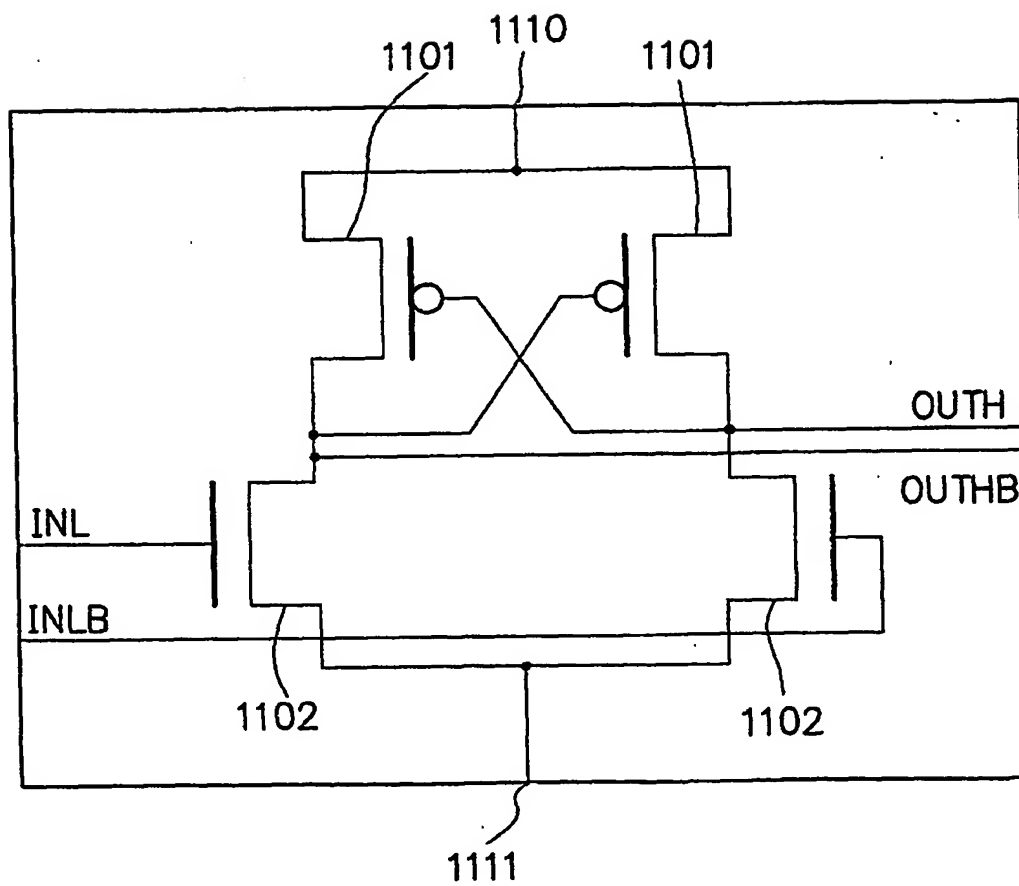
4/85

図 4



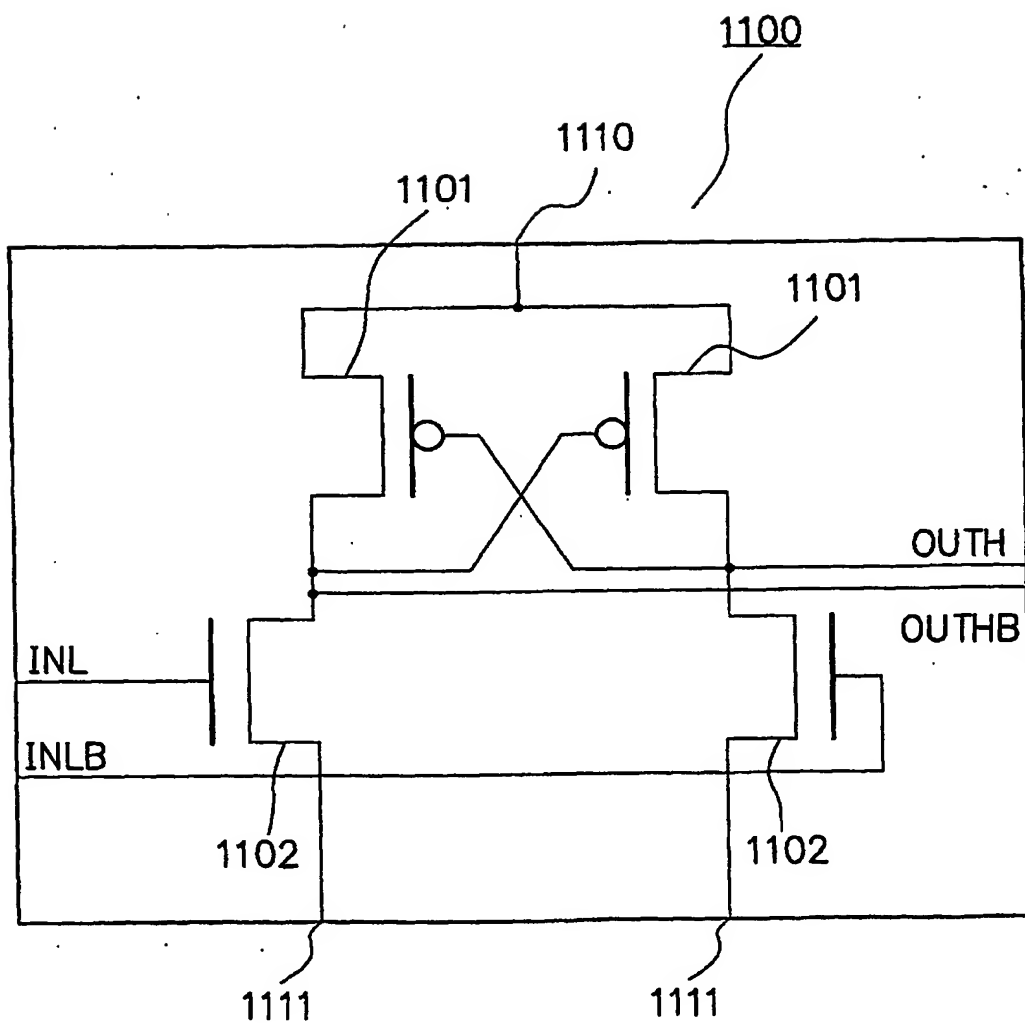
5/85

図 5



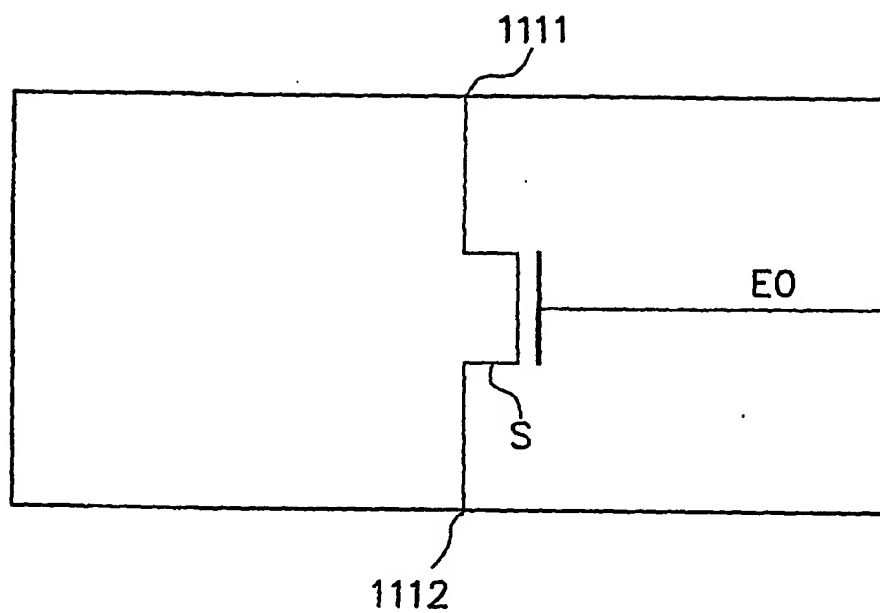
6/85

図 6



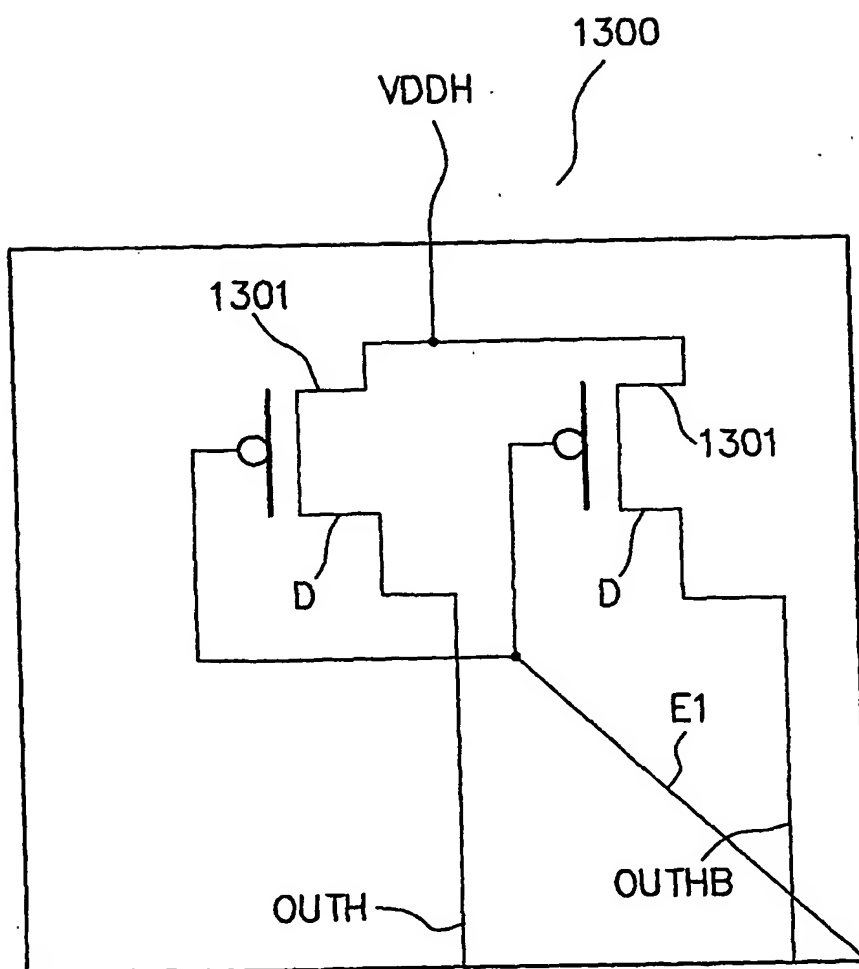
7/85

図 7



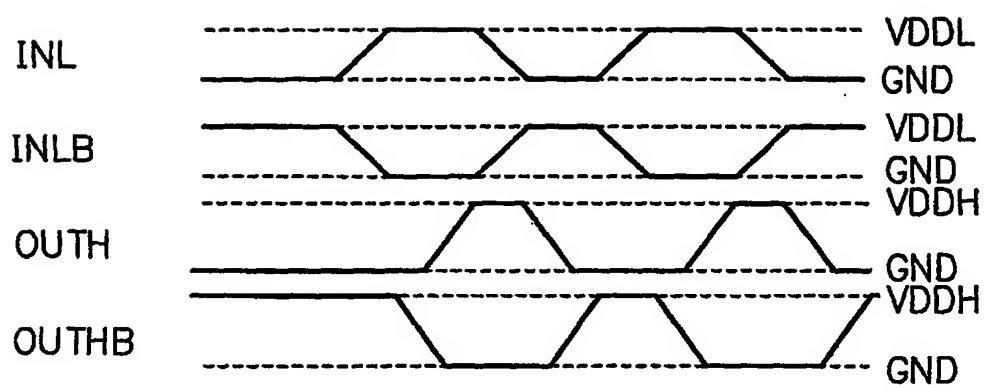
8/85

図 8



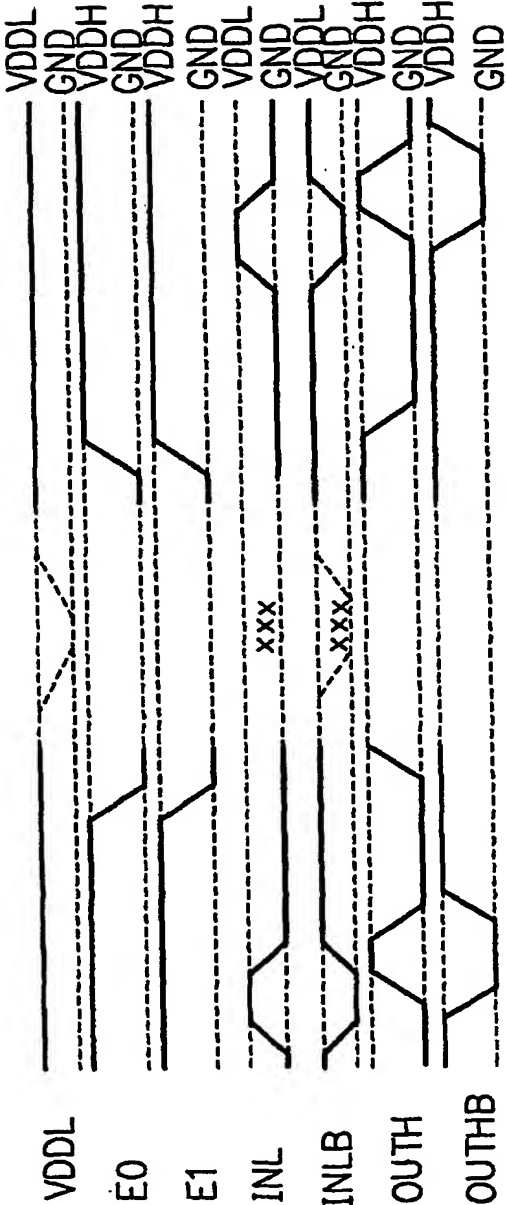
9/85

図 9



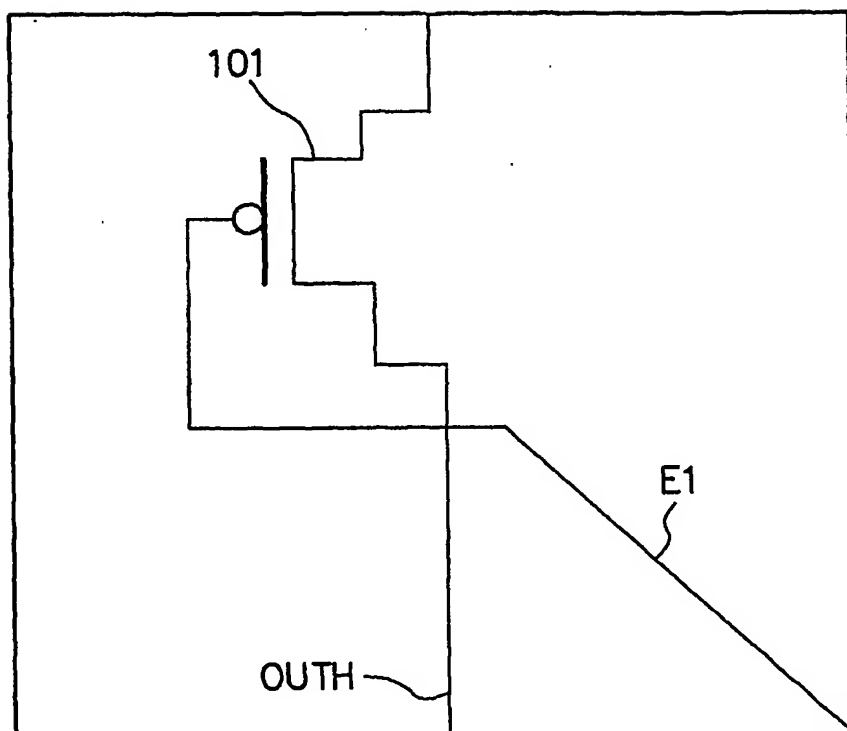
10/85

図 10



11/85

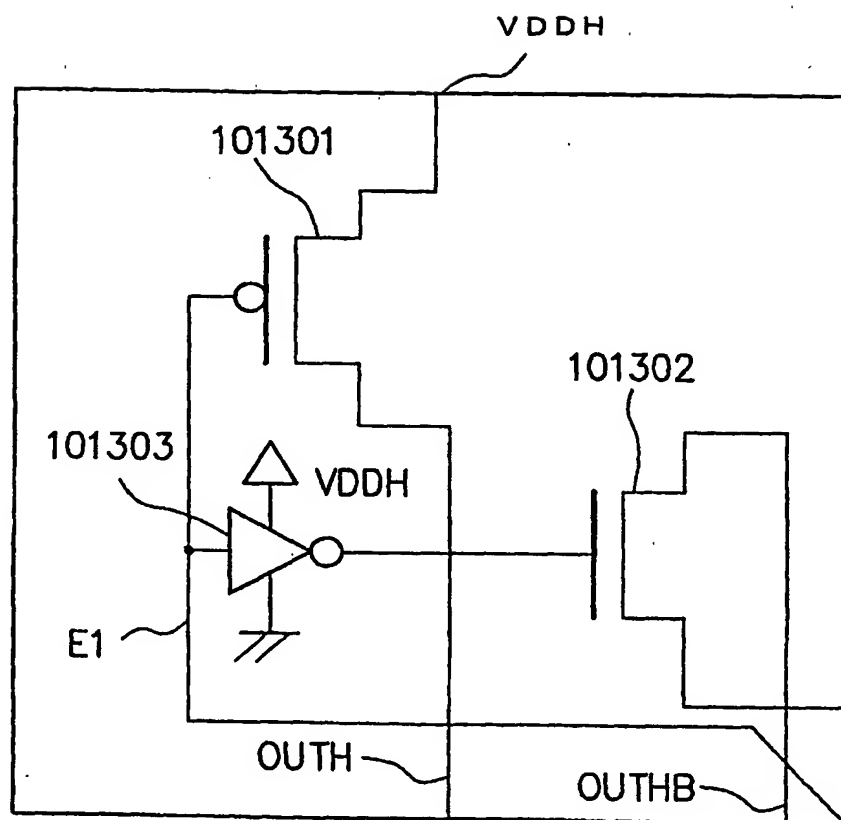
図 1 1





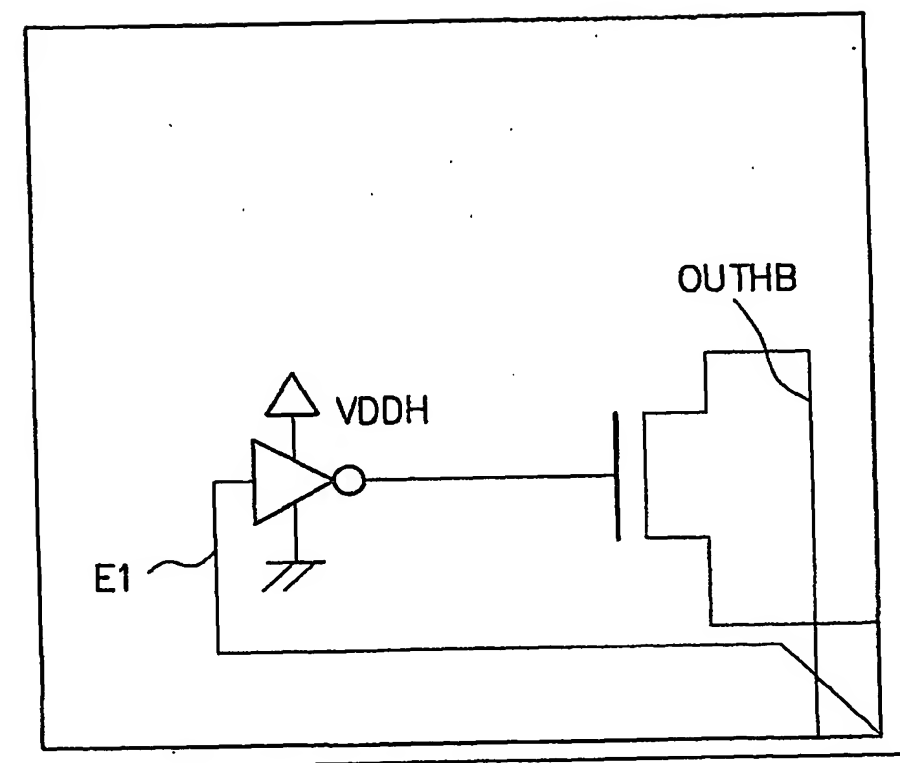
12/85

図 1 2



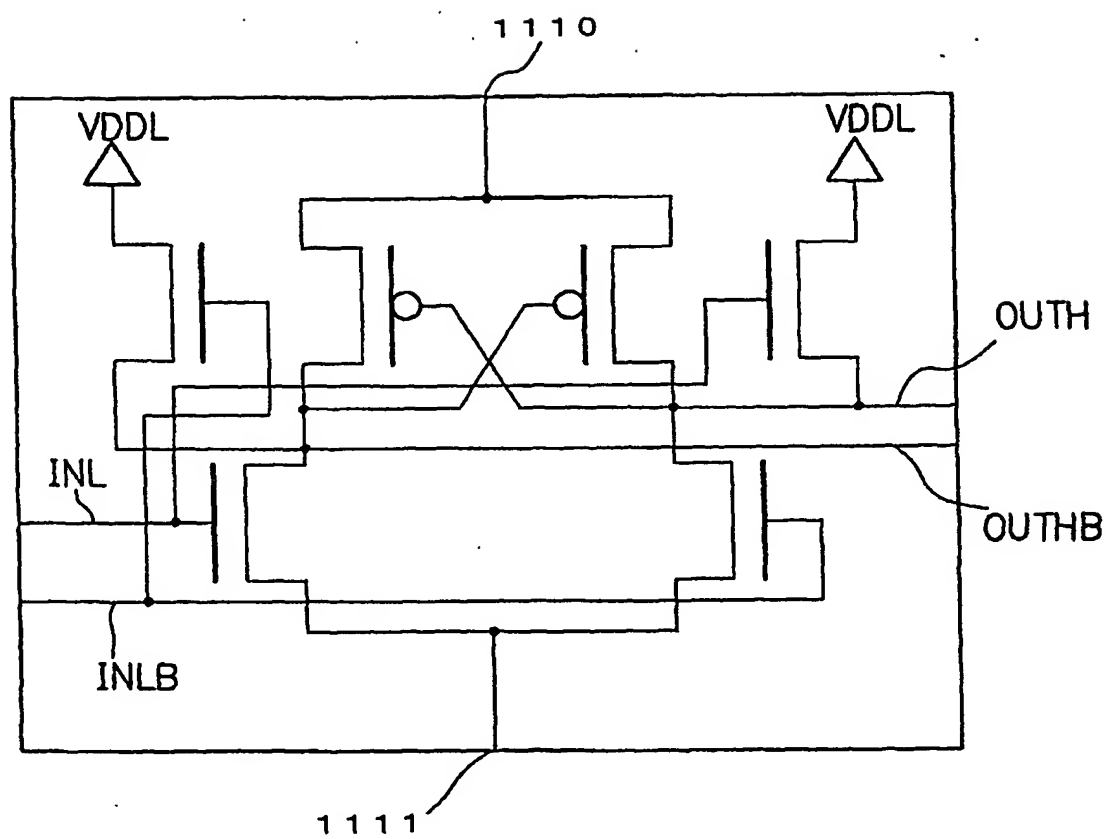
13/85

図 1 3



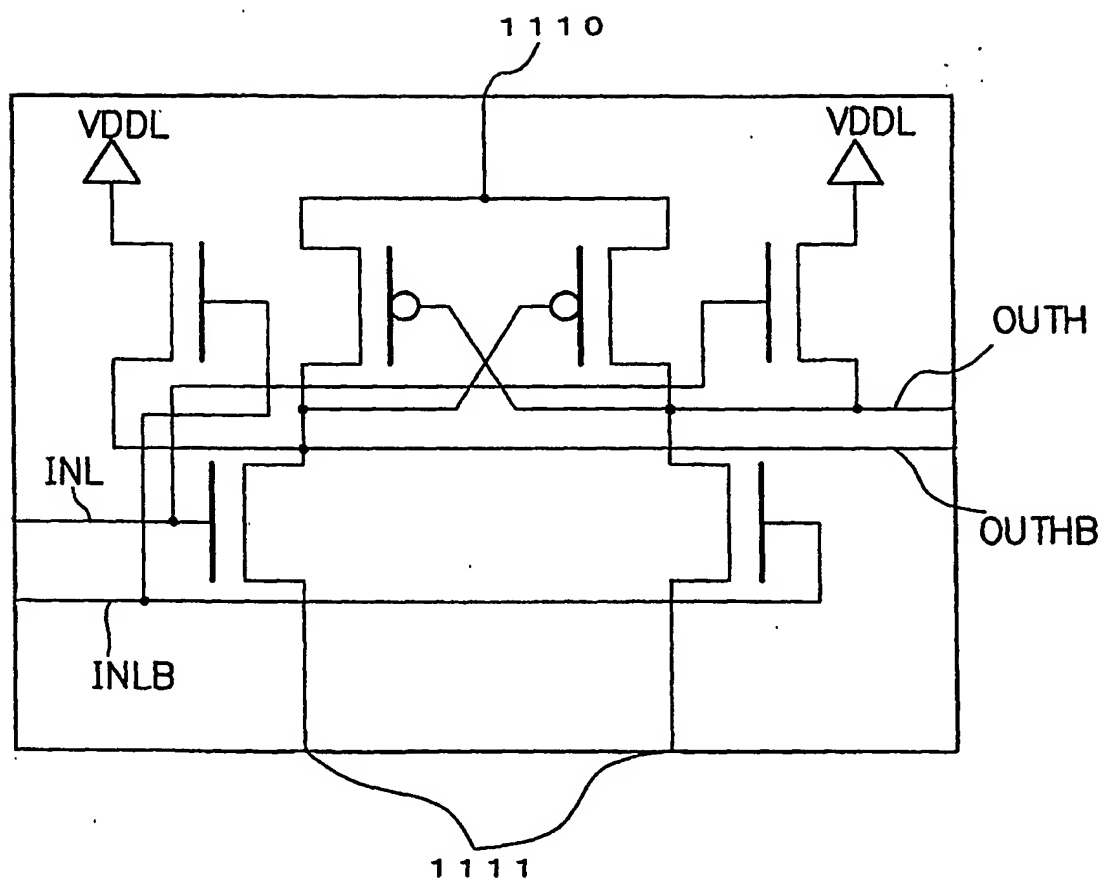
14/85

図 1 4



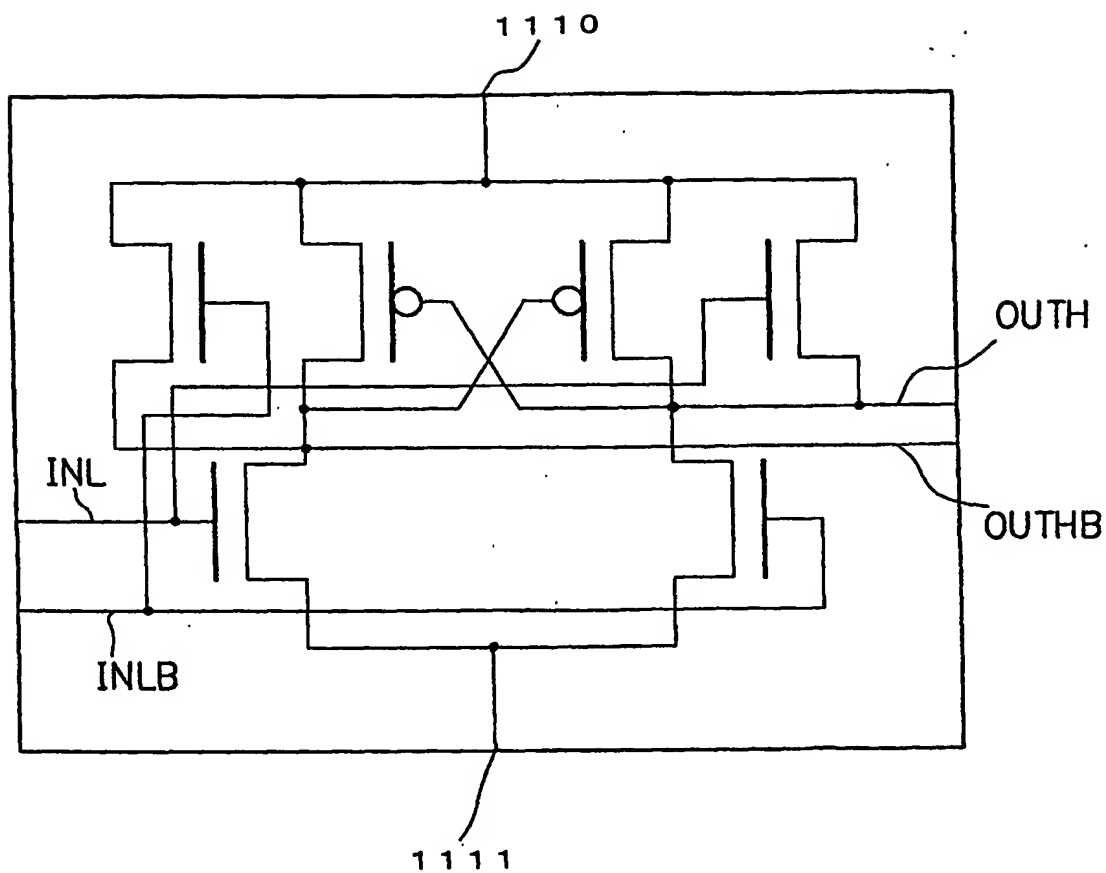
15/85

図 1 5



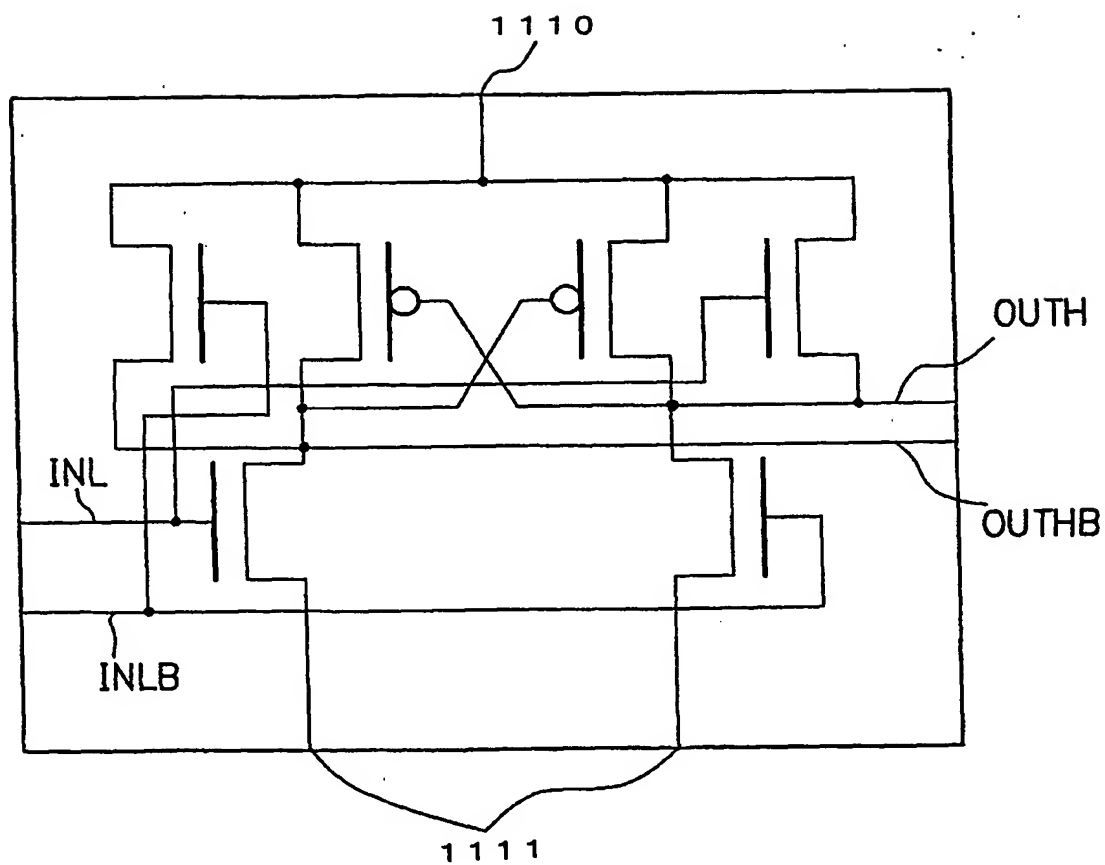
16/85

図 1 6



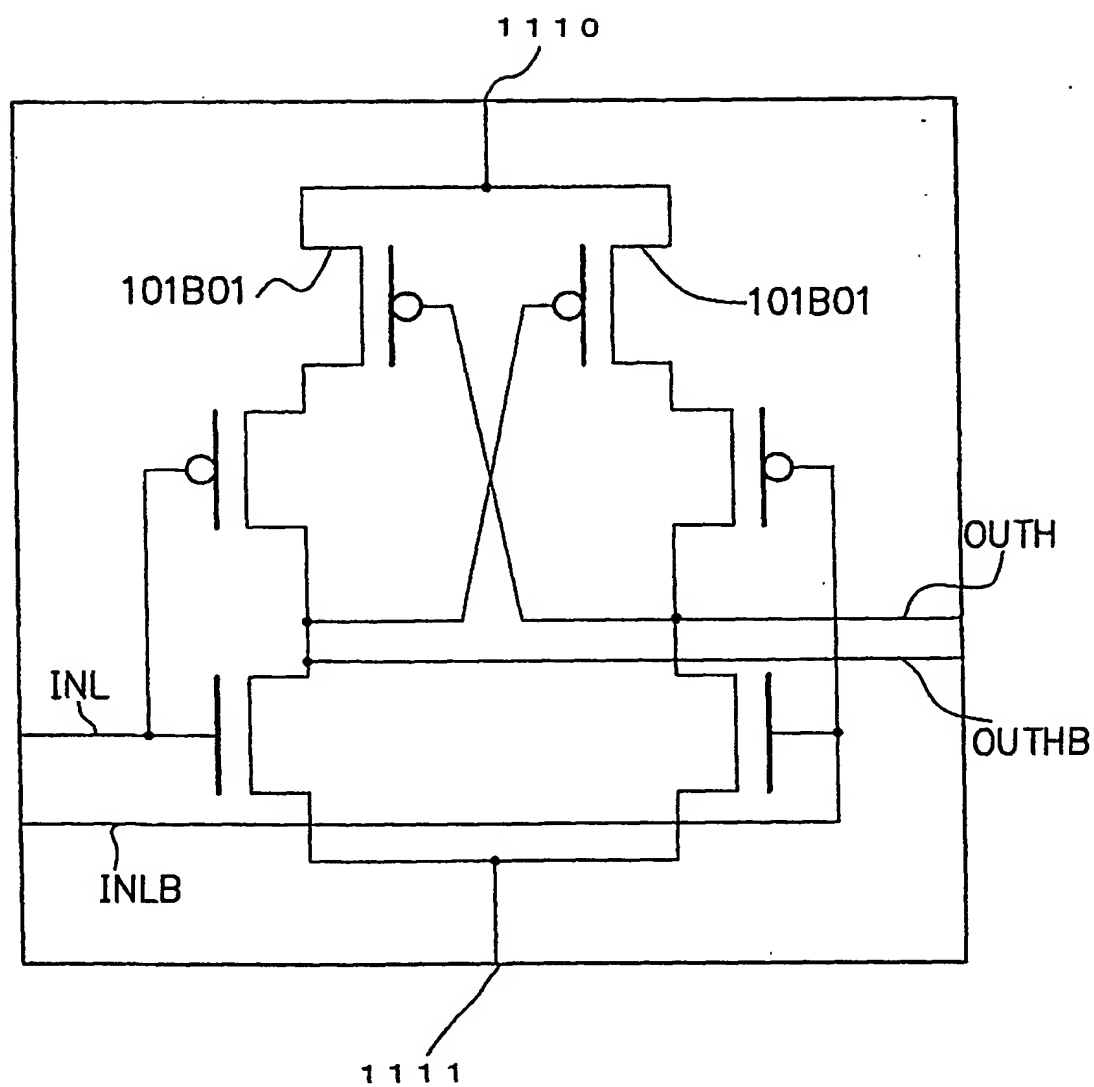
17/85

図 17



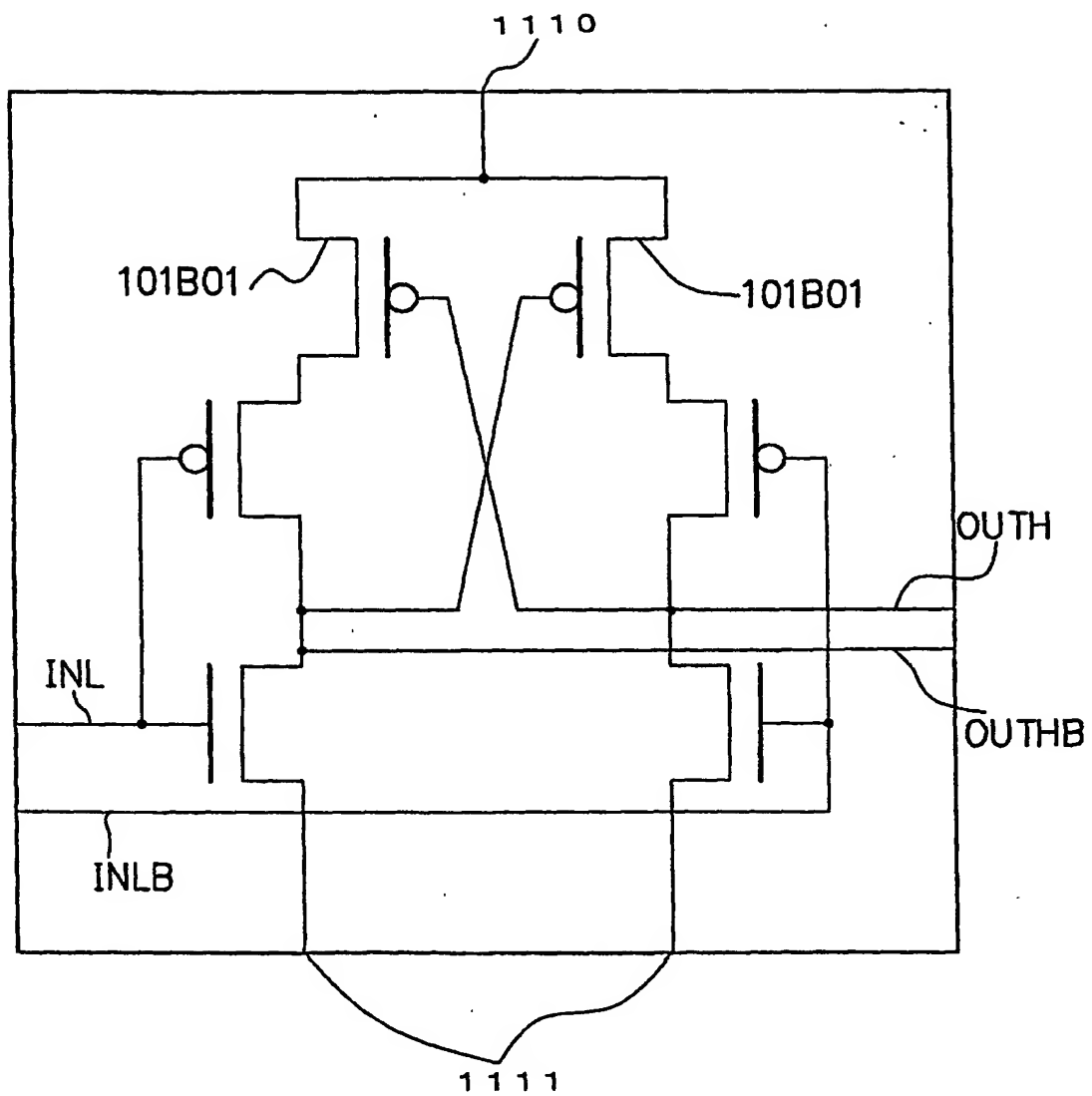
18/85

図 18



19/85

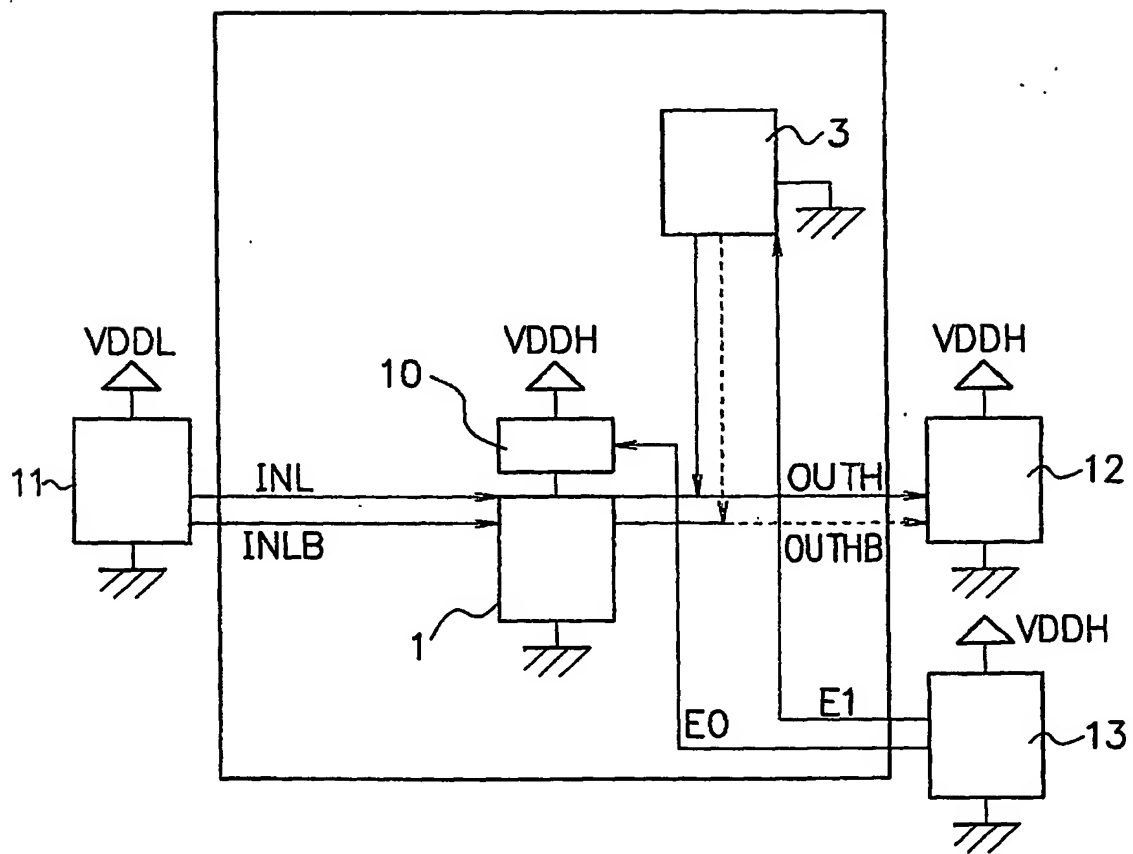
図 1 9





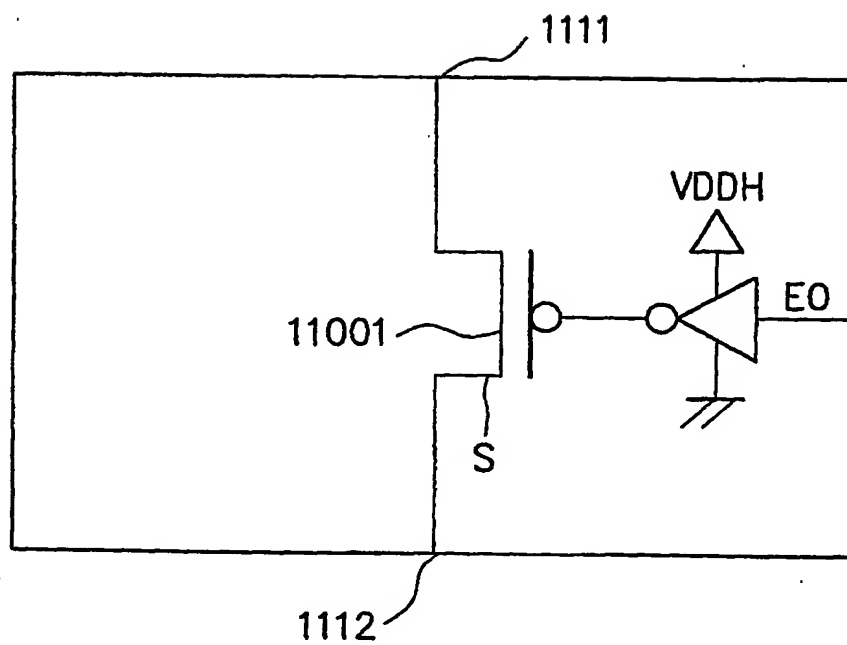
20/85

図 20



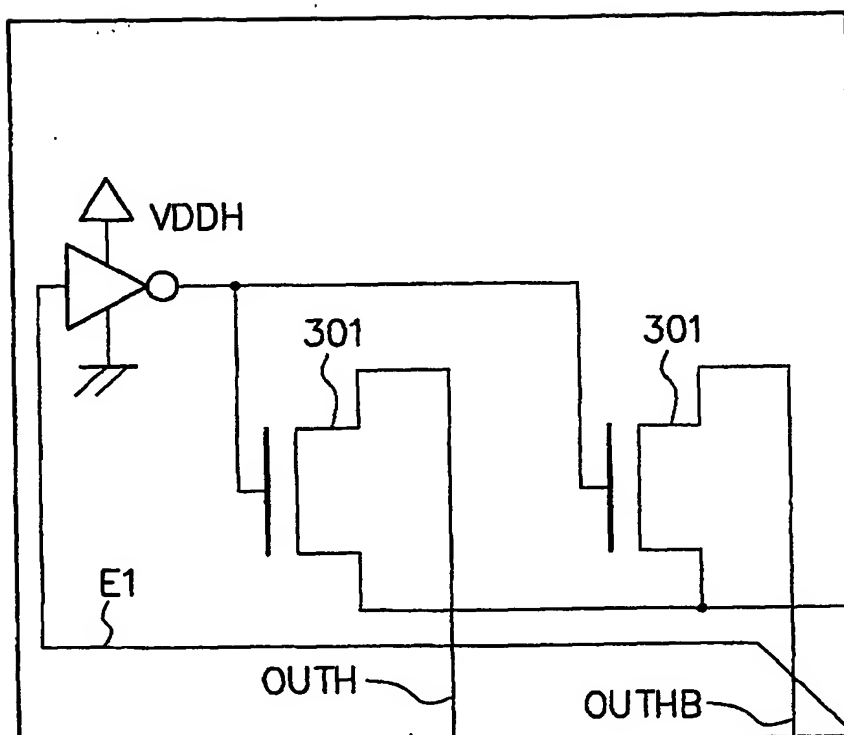
21/85

図 2 1



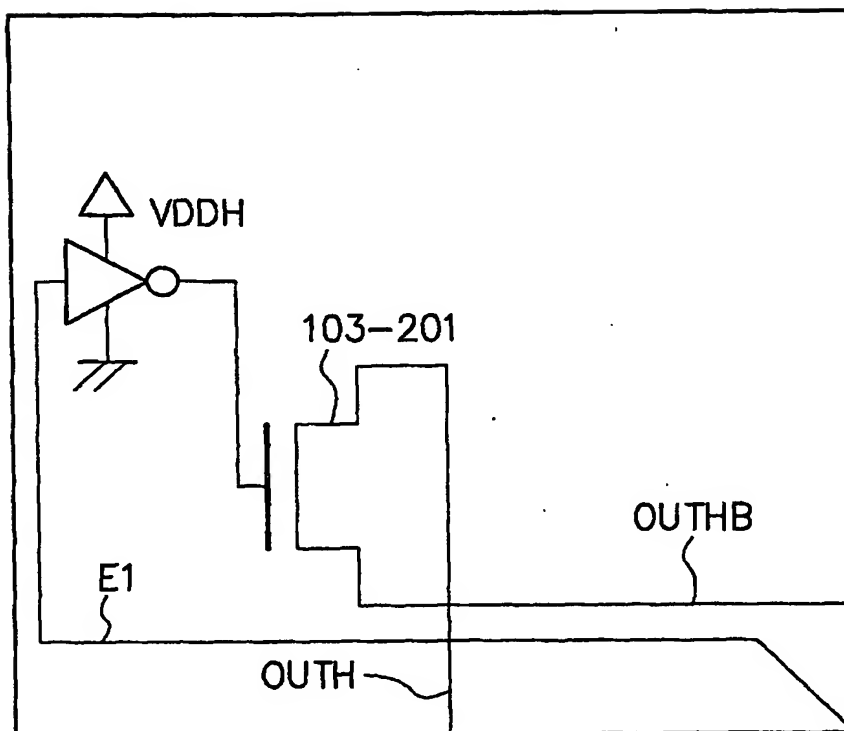
22/85

図 22



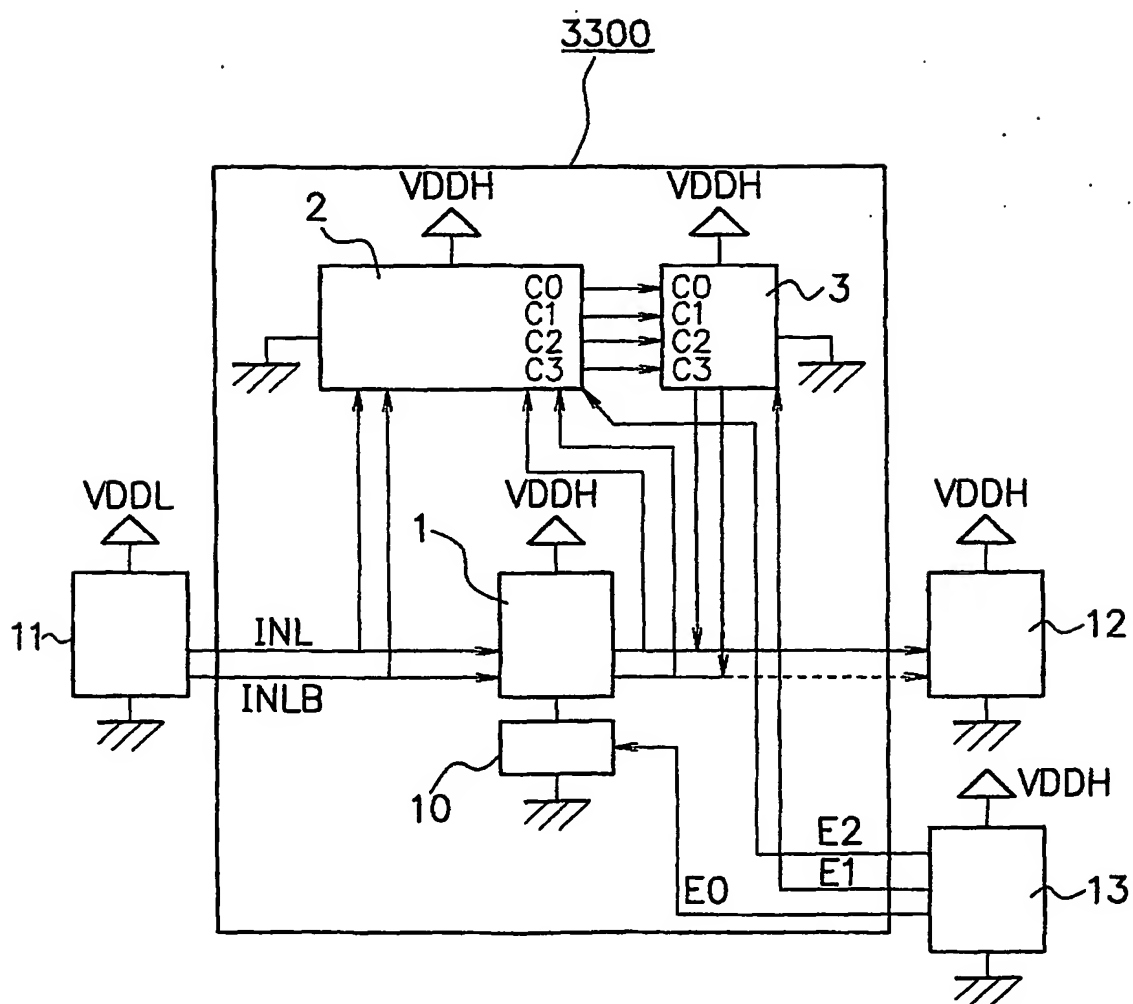
23/85

図 2 3



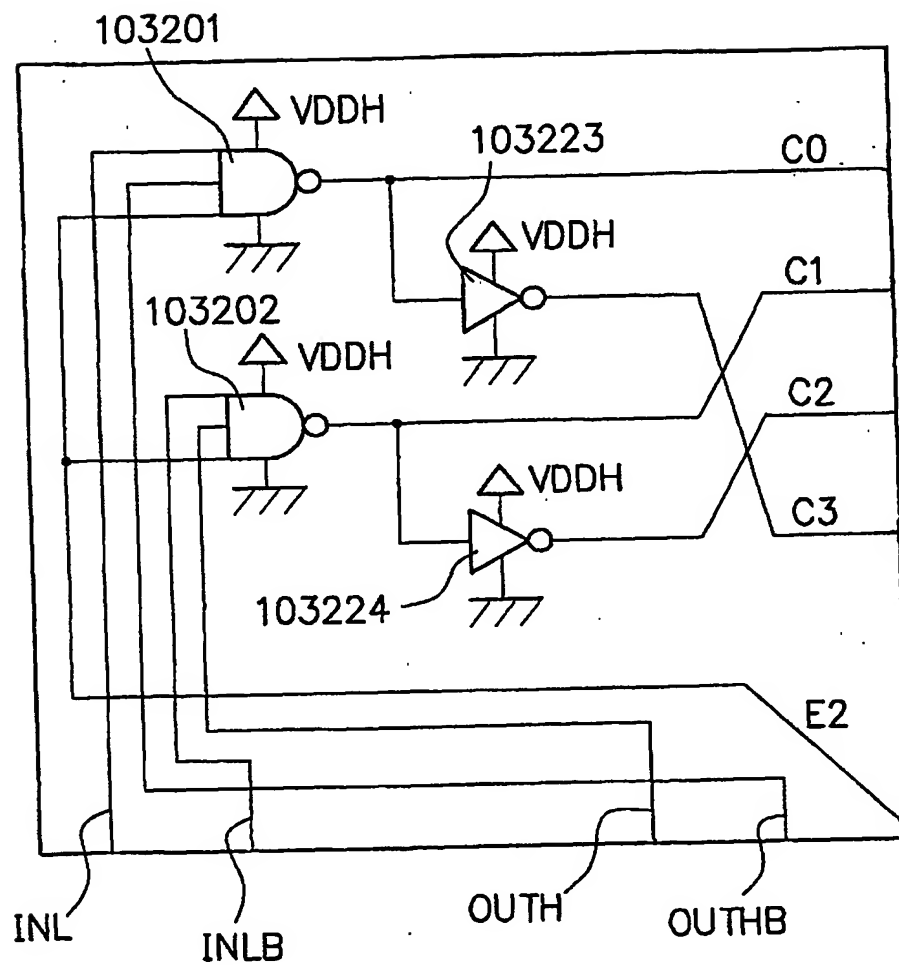
24/85

図 2 4



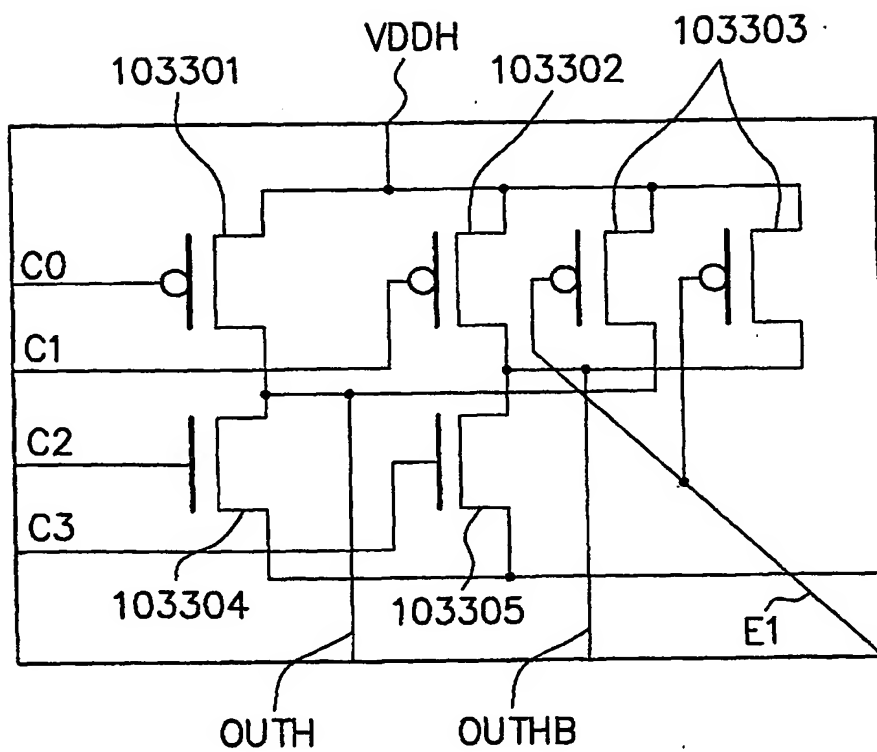
25/85

図 2 5



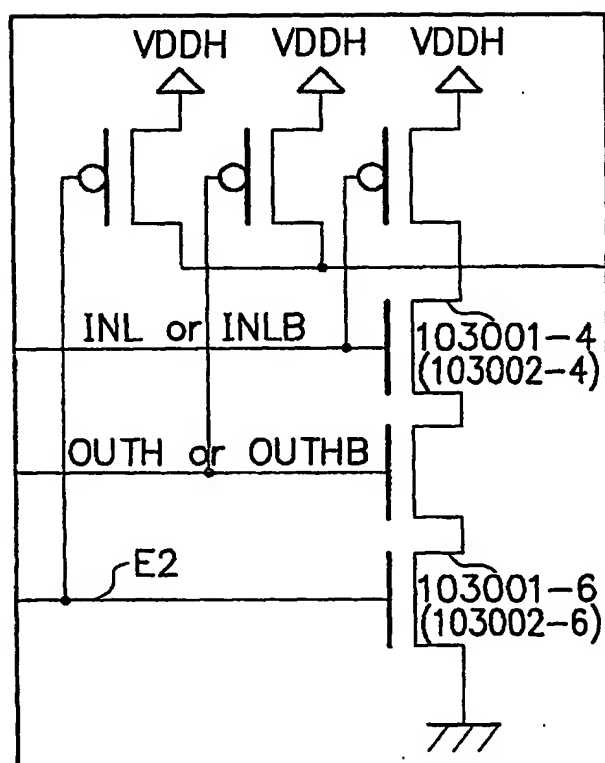
26/85

図 26



27/85

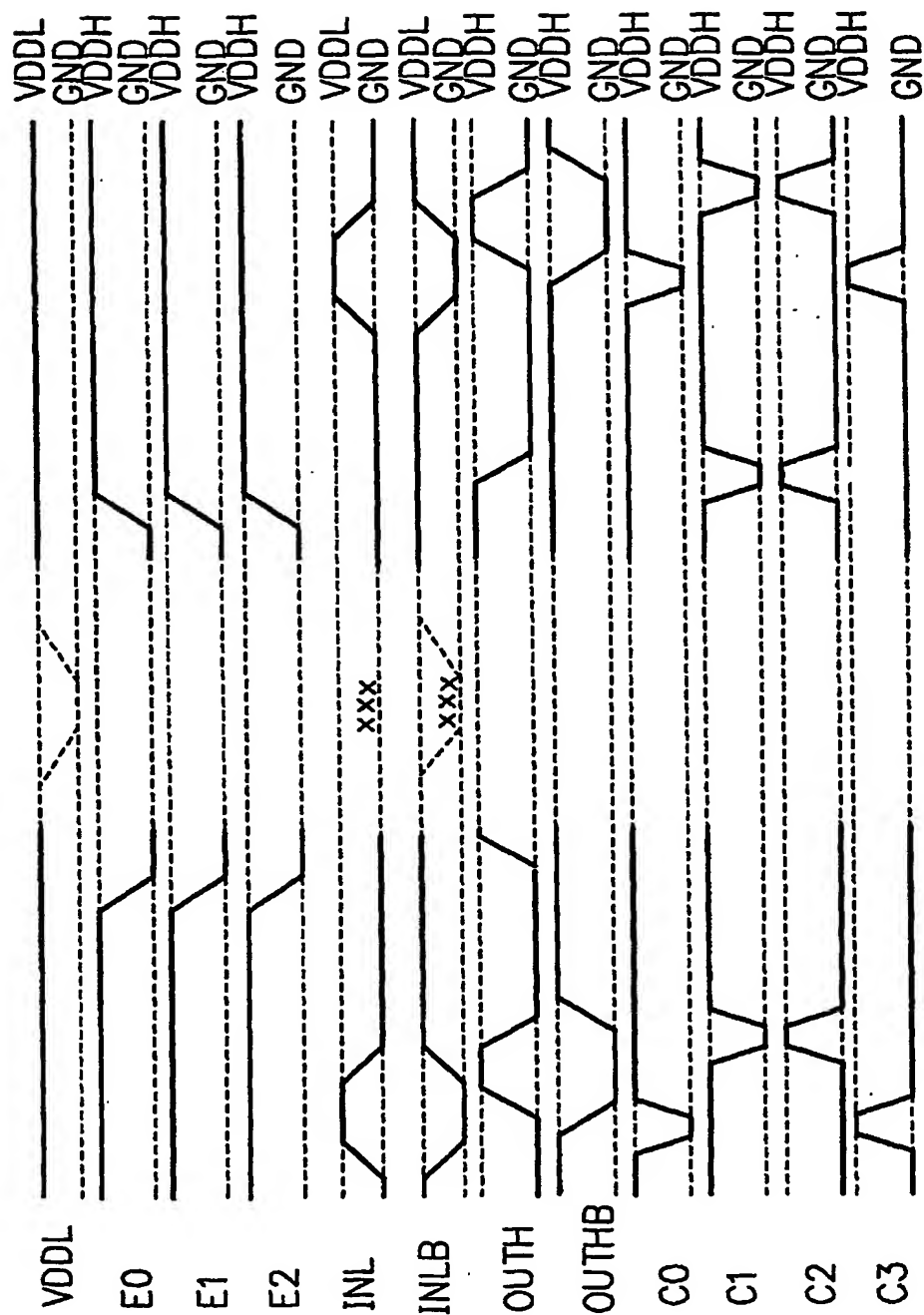
図 2 7





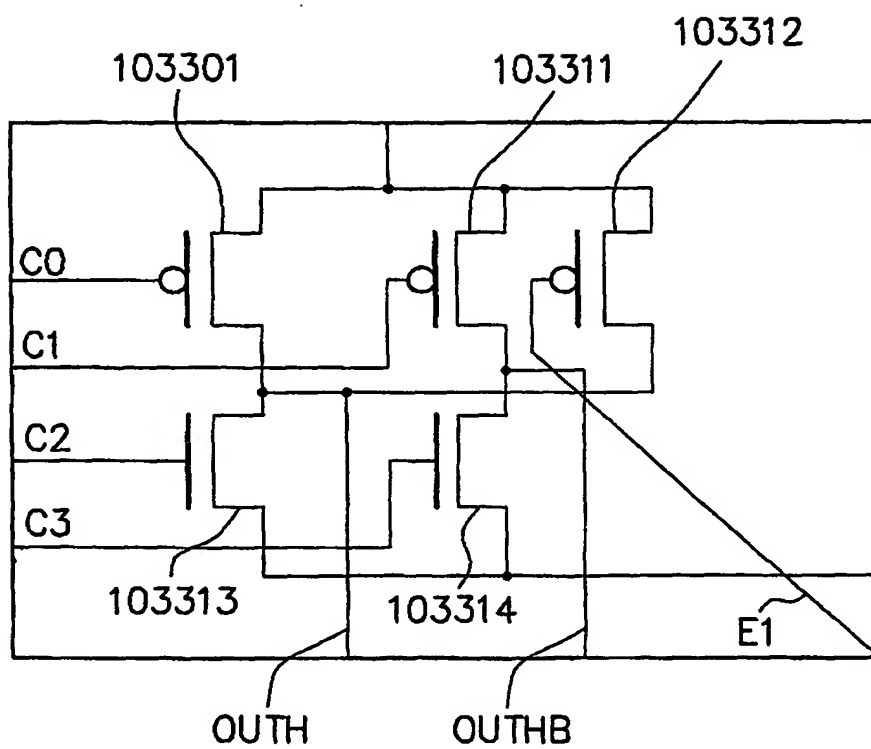
28/85

図 28



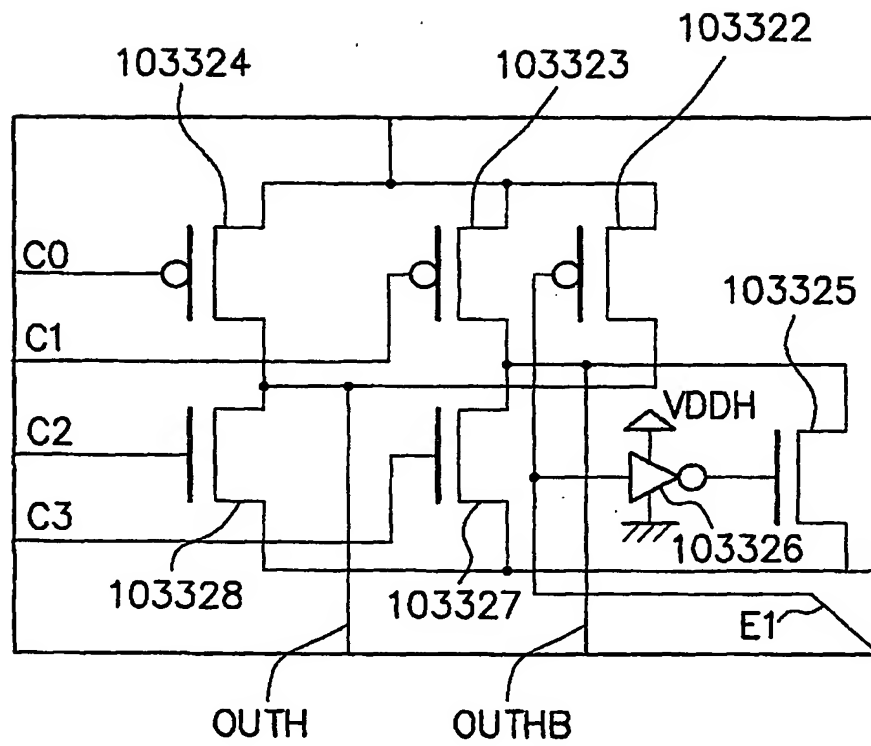
29/85

図 2 9



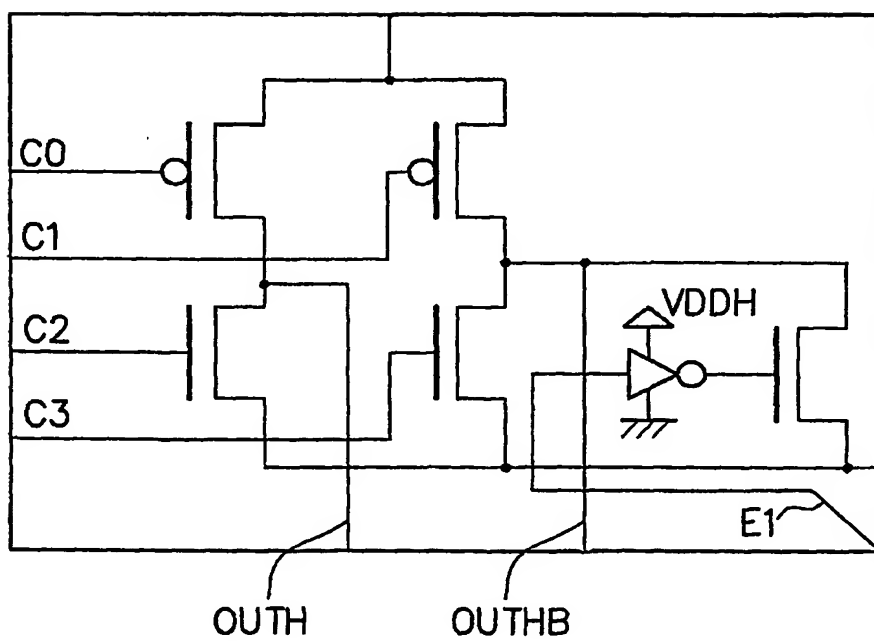
30/85

図 30



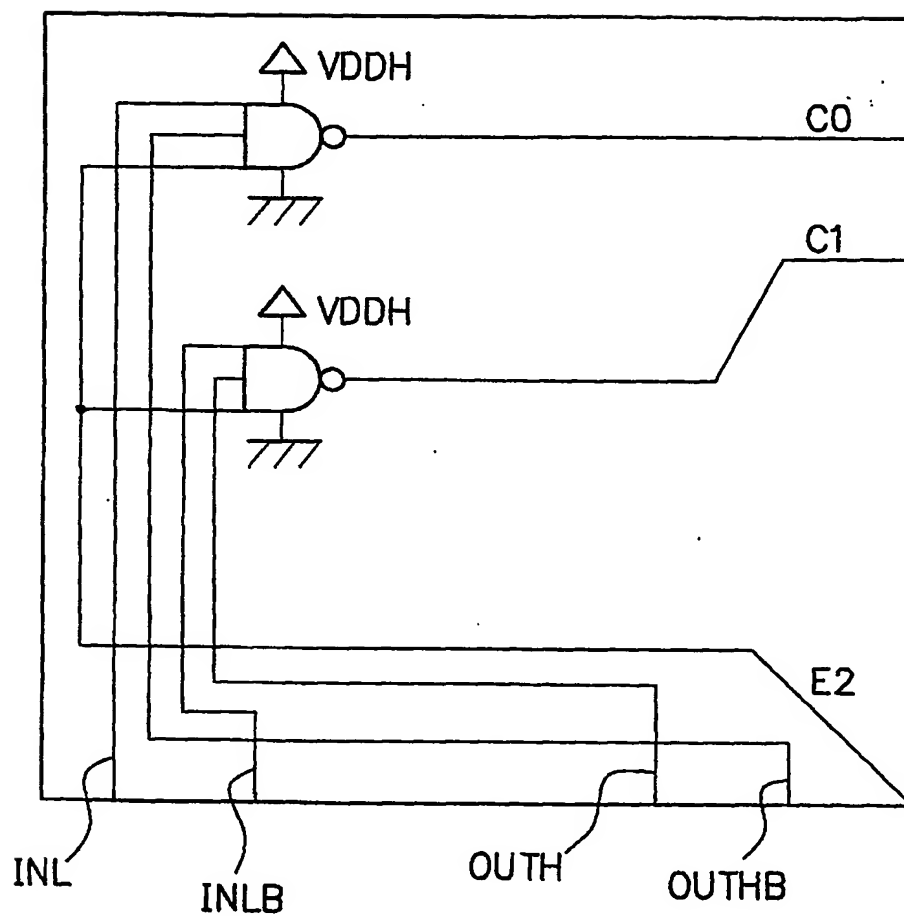
31/85

図 3 1



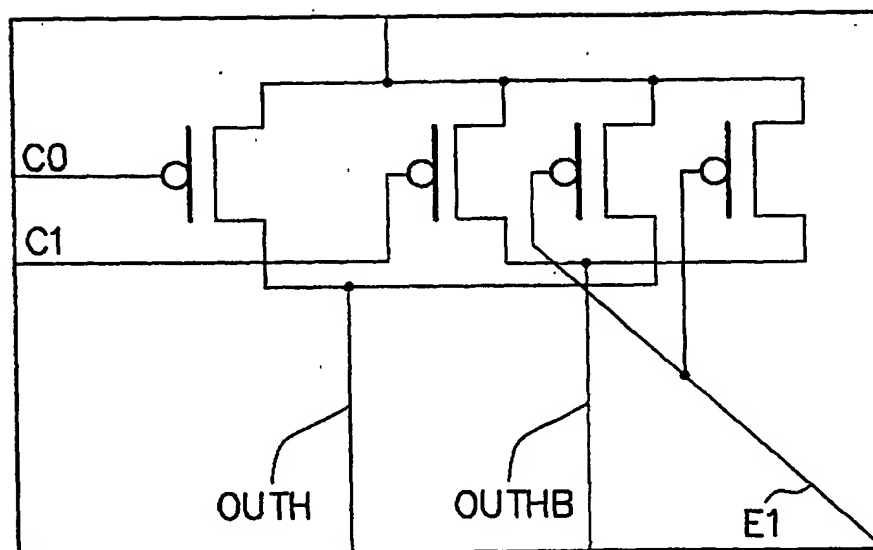
32/85

図 3 2



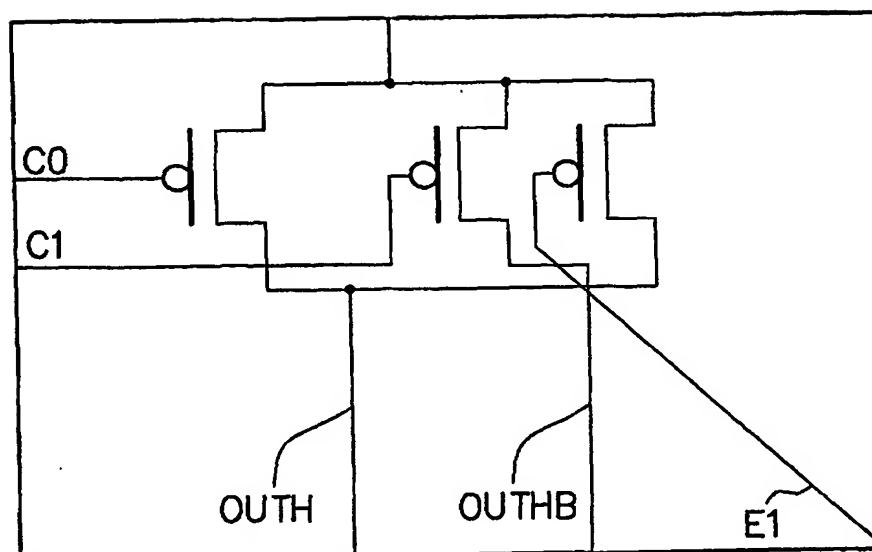
33/85

図 3 3



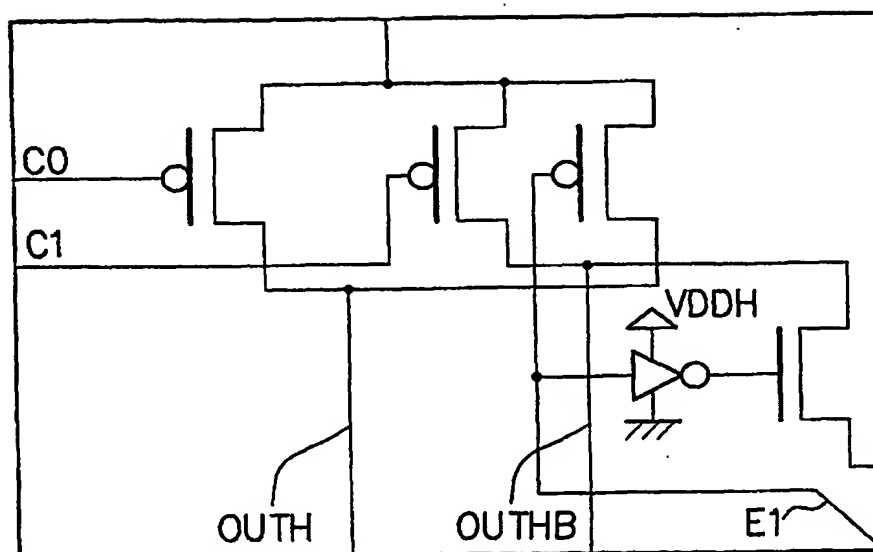
34/85

図 3 4



35/85

図 3 5

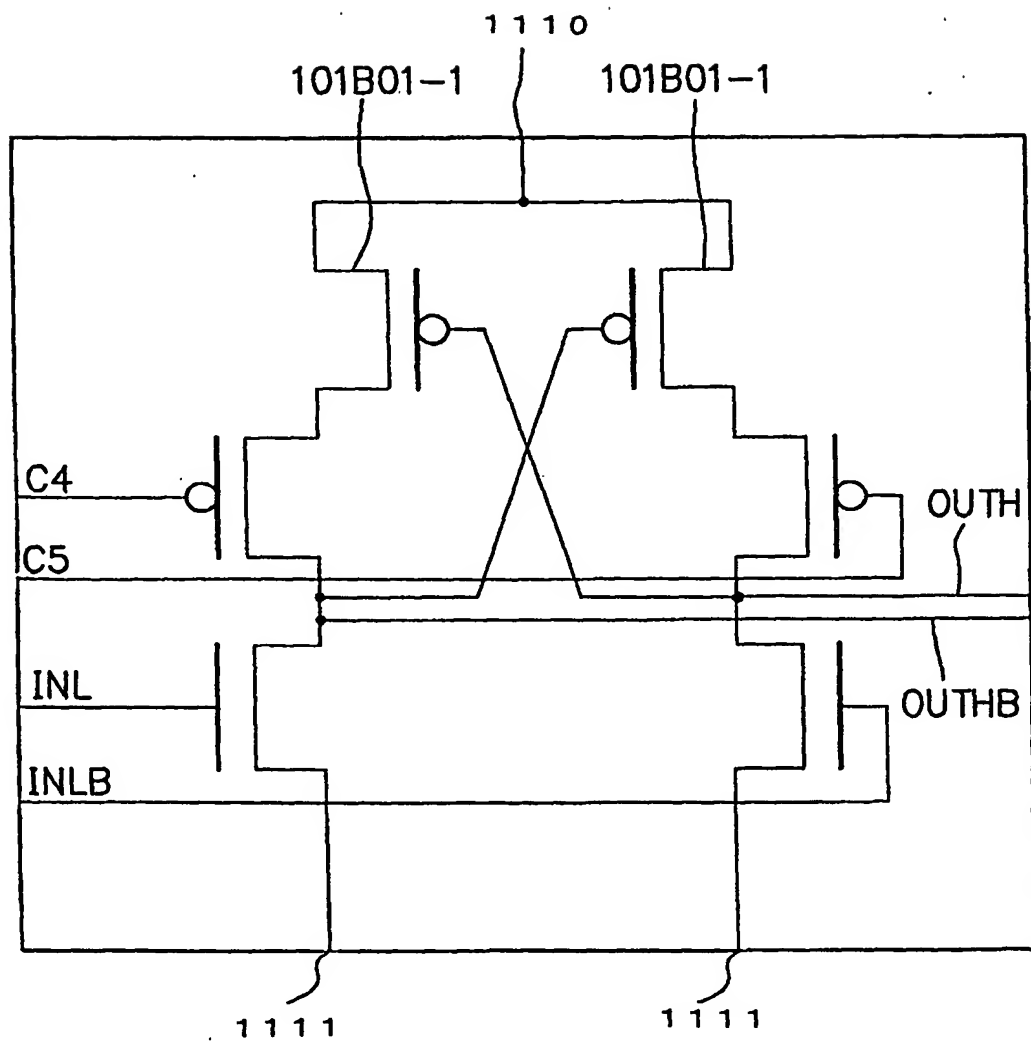






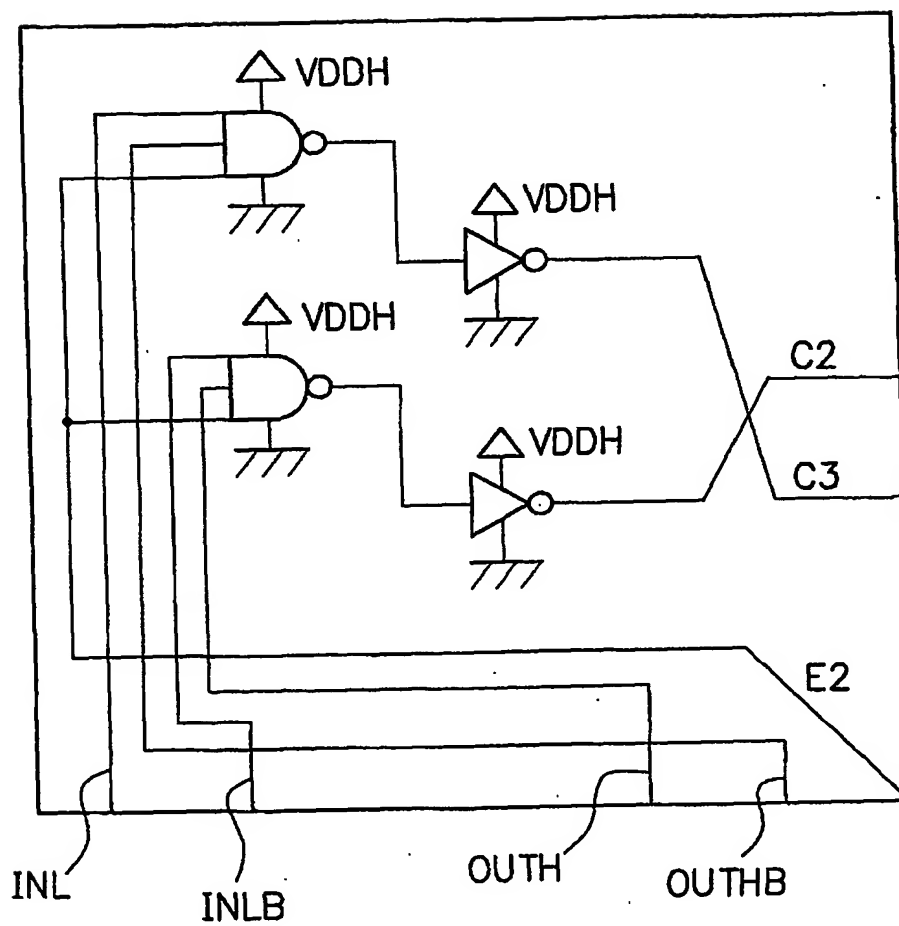
37/38

図 3 7



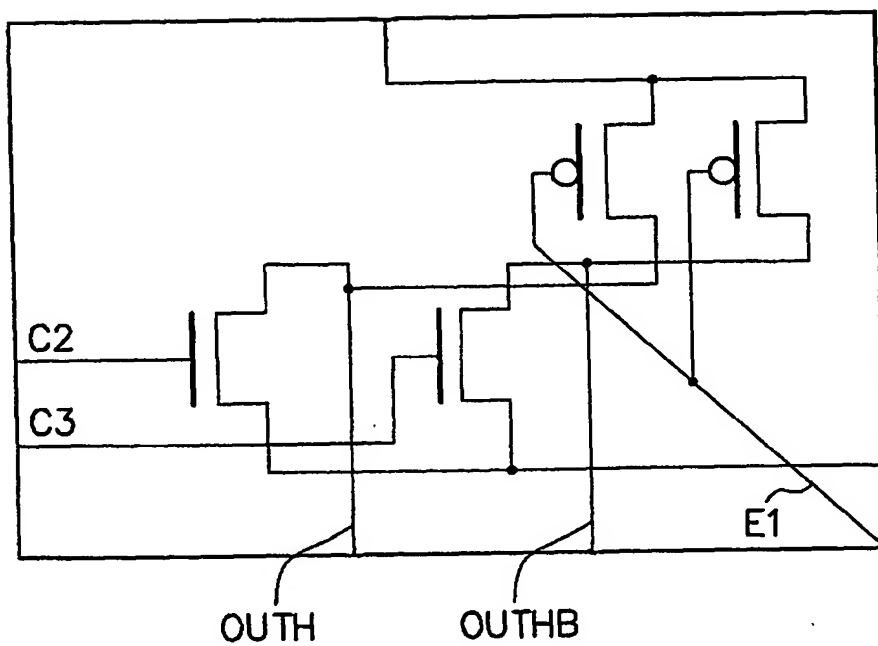
38/85

図 38



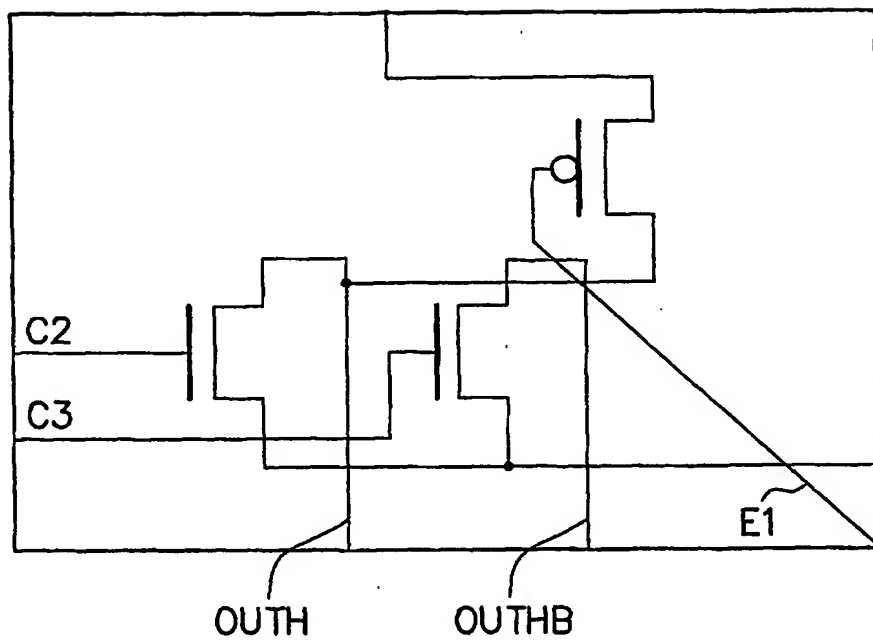
39/85

図 3 9



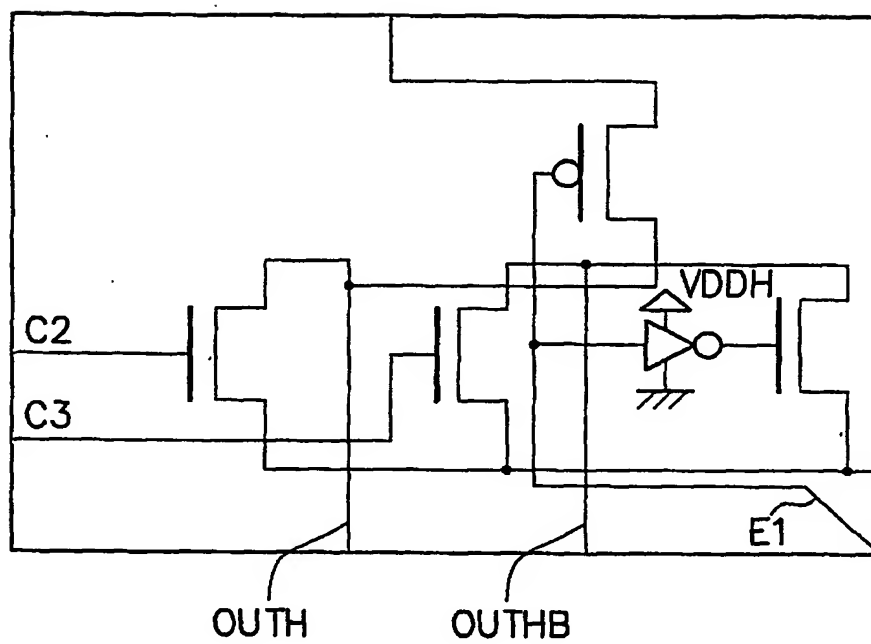
40/85

図 40



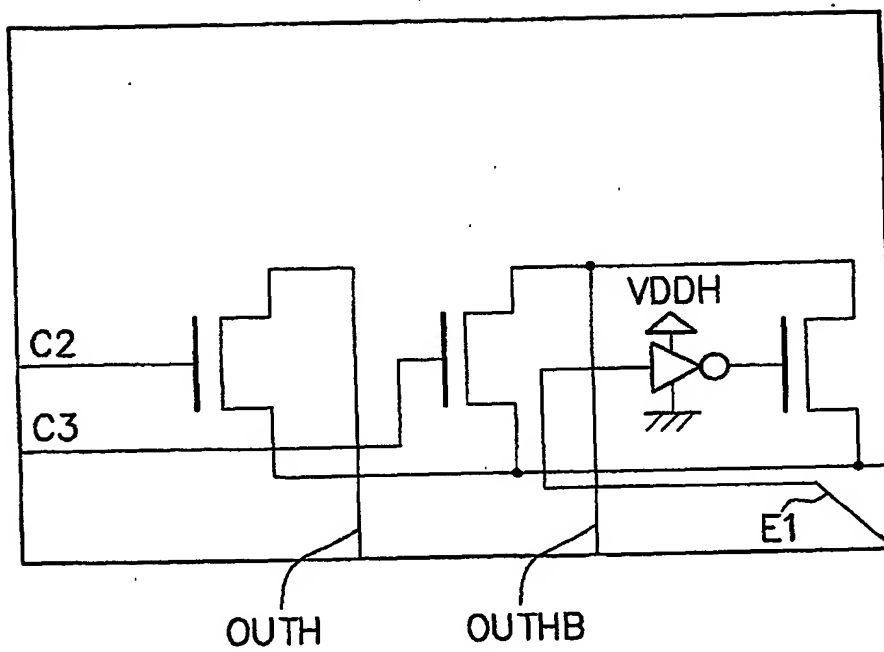
41/85

図 4 1



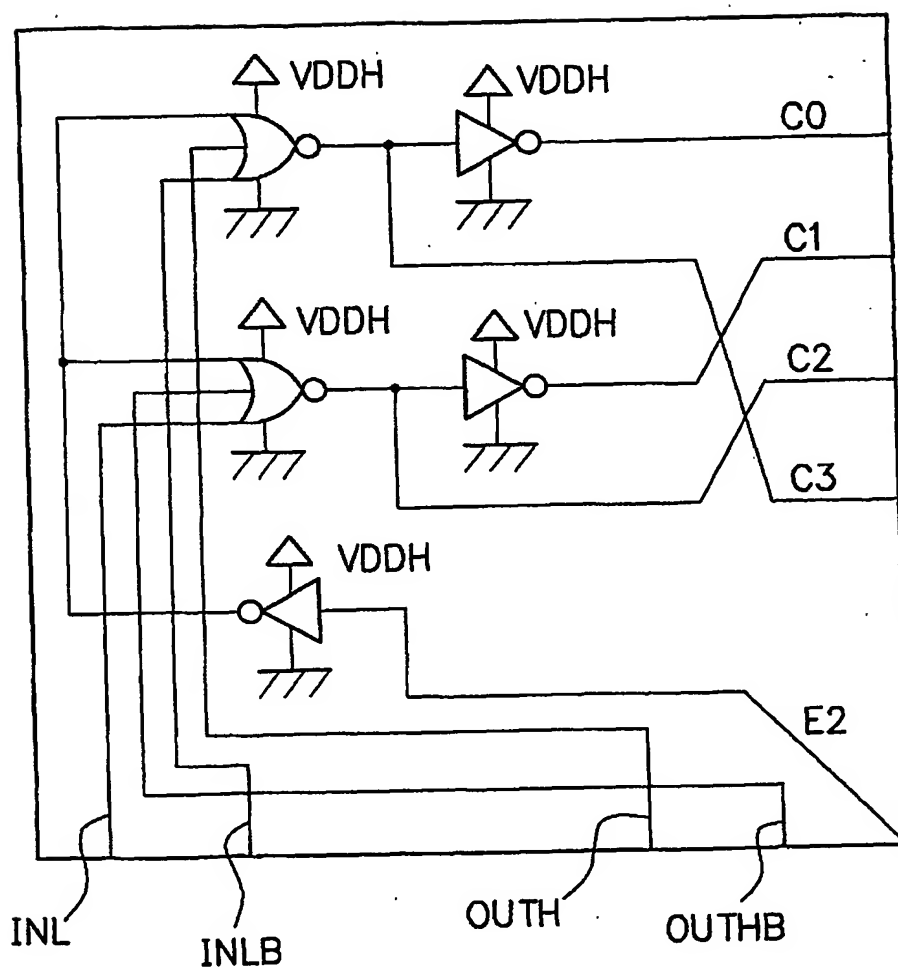
42/85

図 4 2



43/85

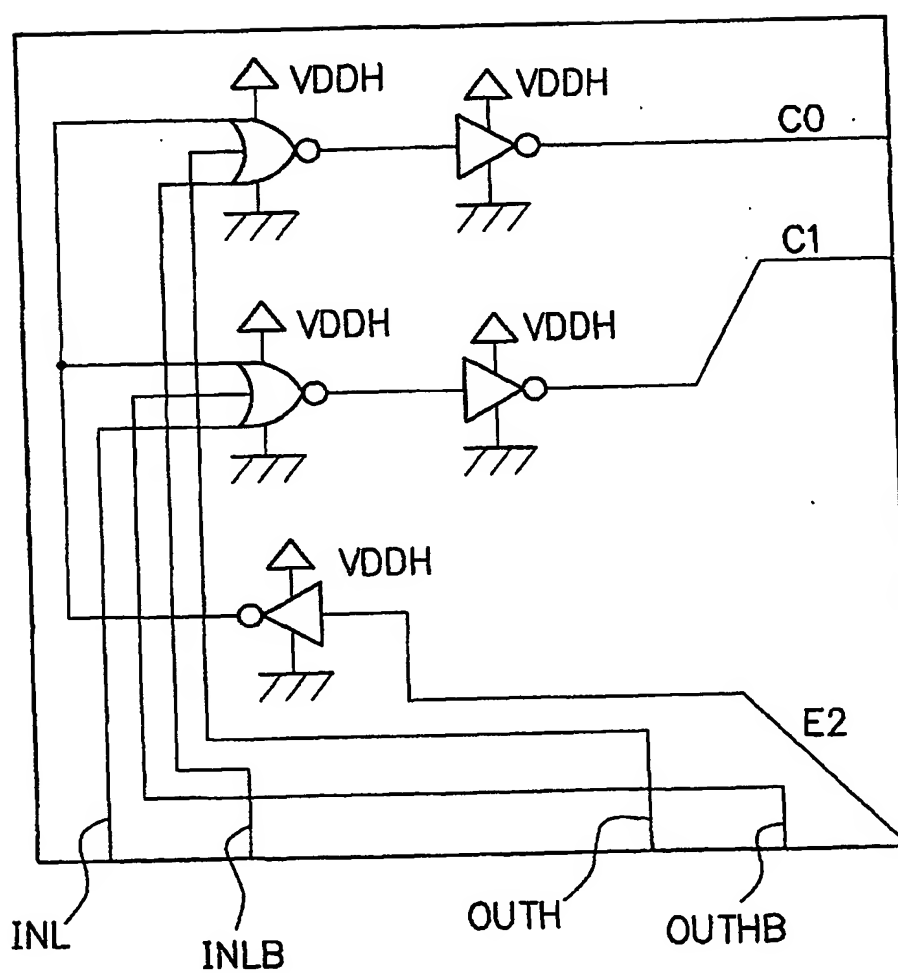
図 4.3





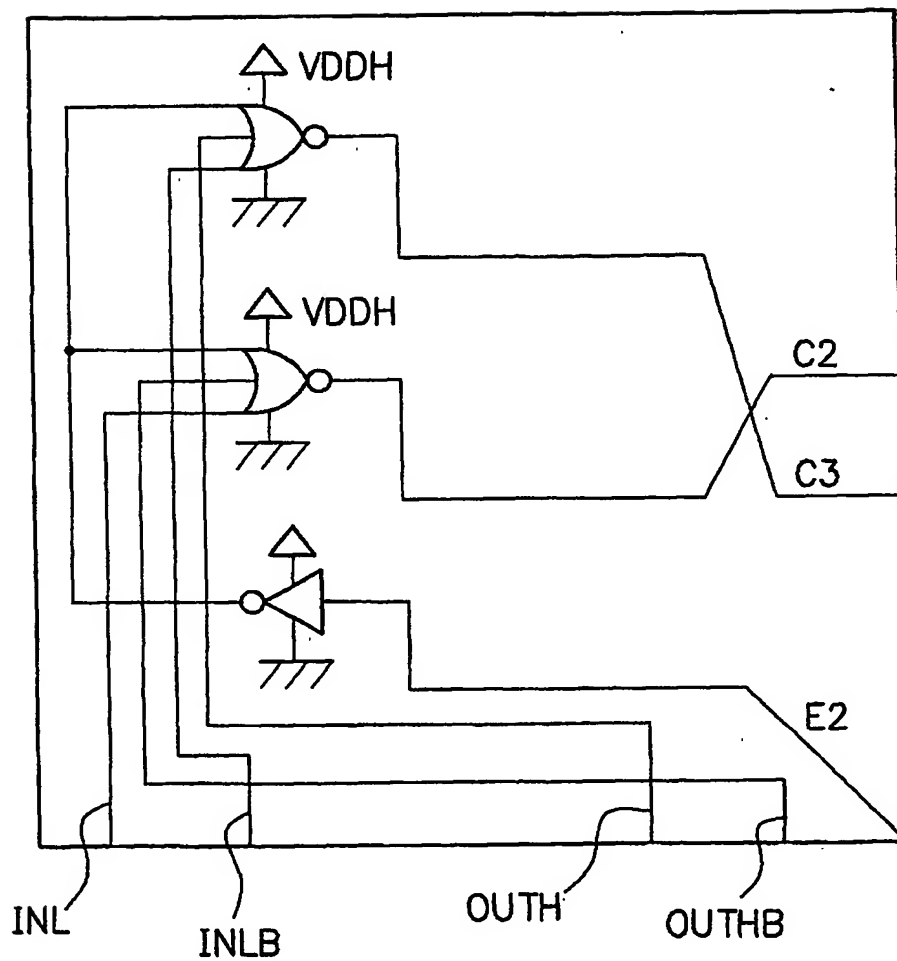
44/85

図 4 4



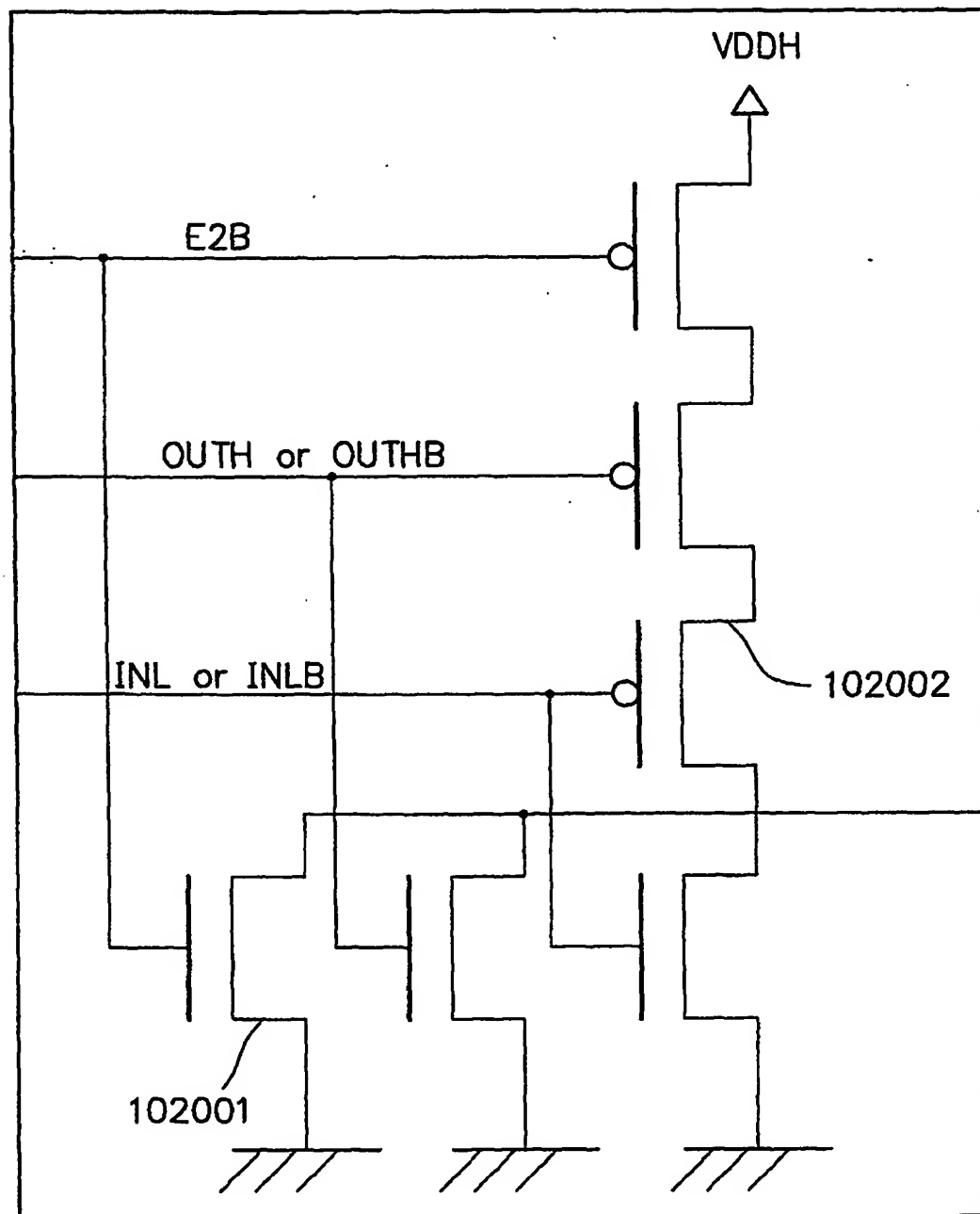
45/85

図 4 5



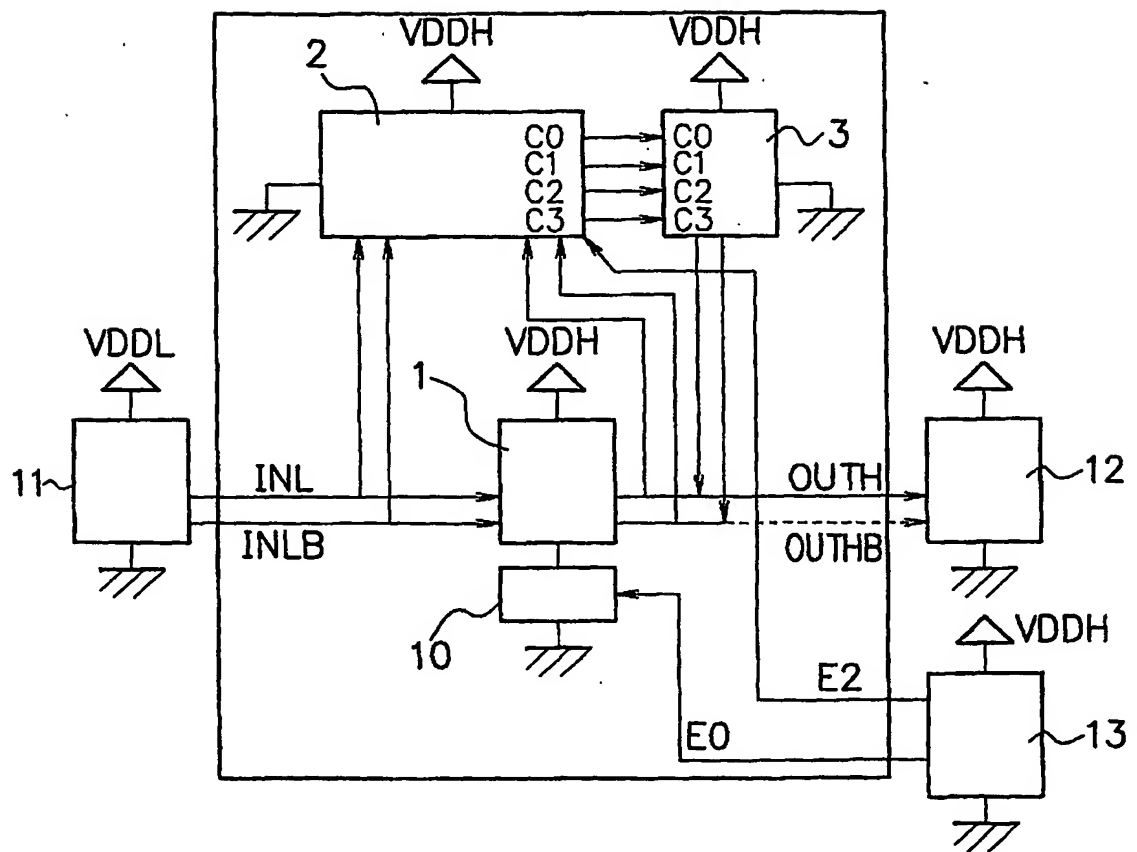
46/85

図 4 6



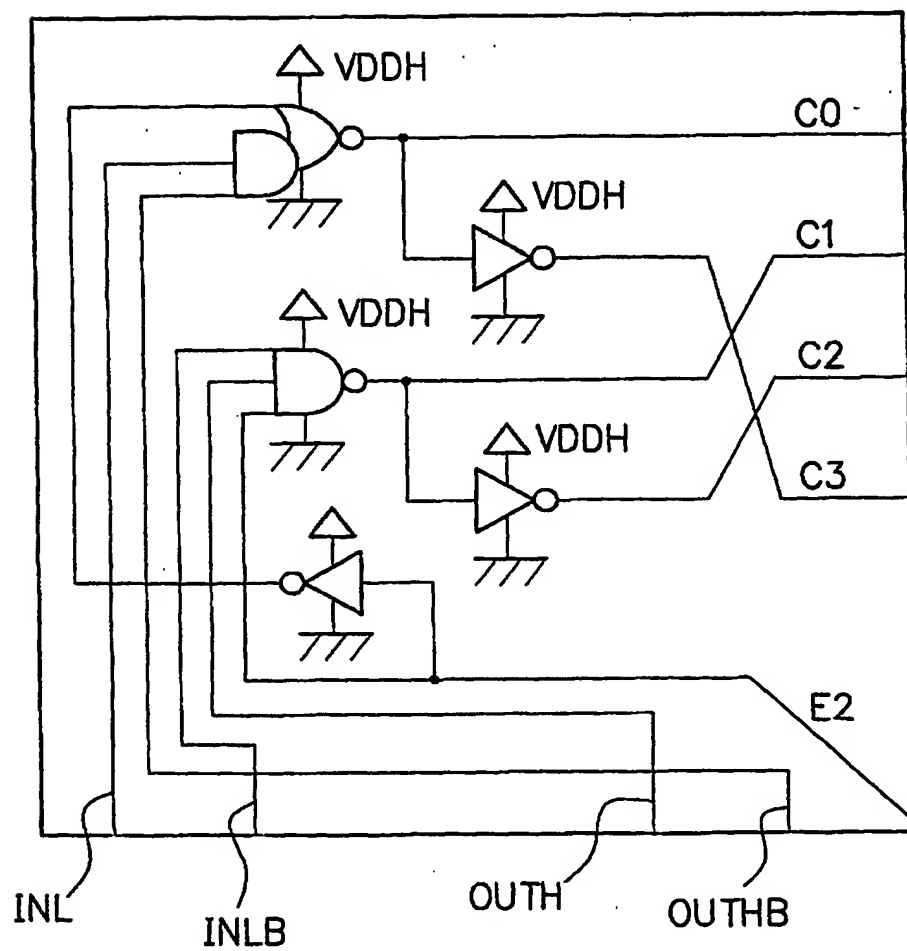
47/85

図 4 7



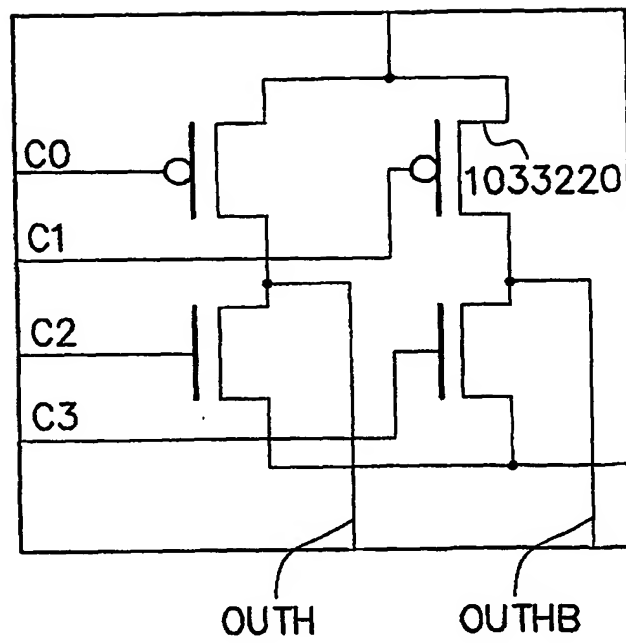
48/85

図 4 8



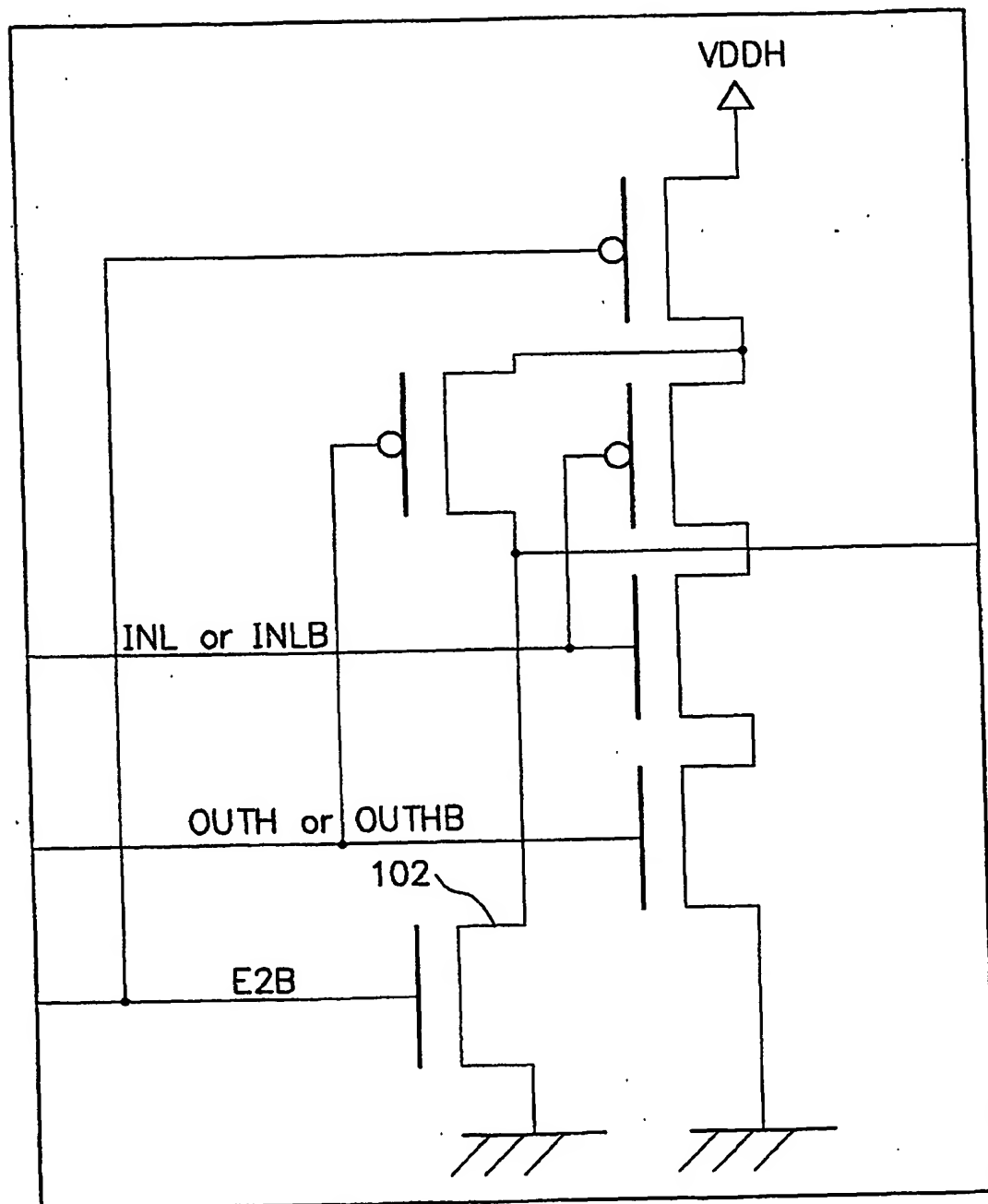
49/85

図 4 9

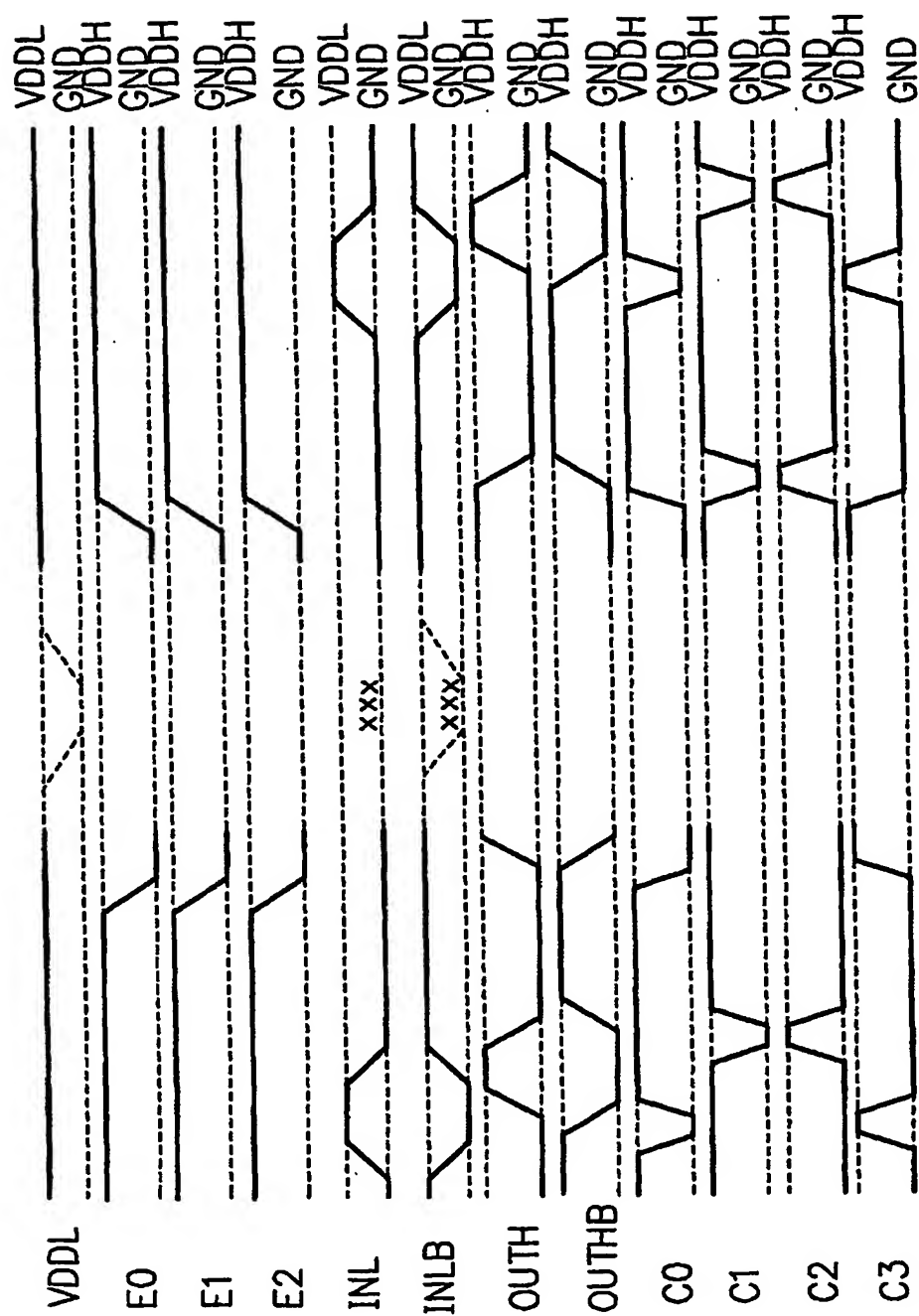


50/85

図 50



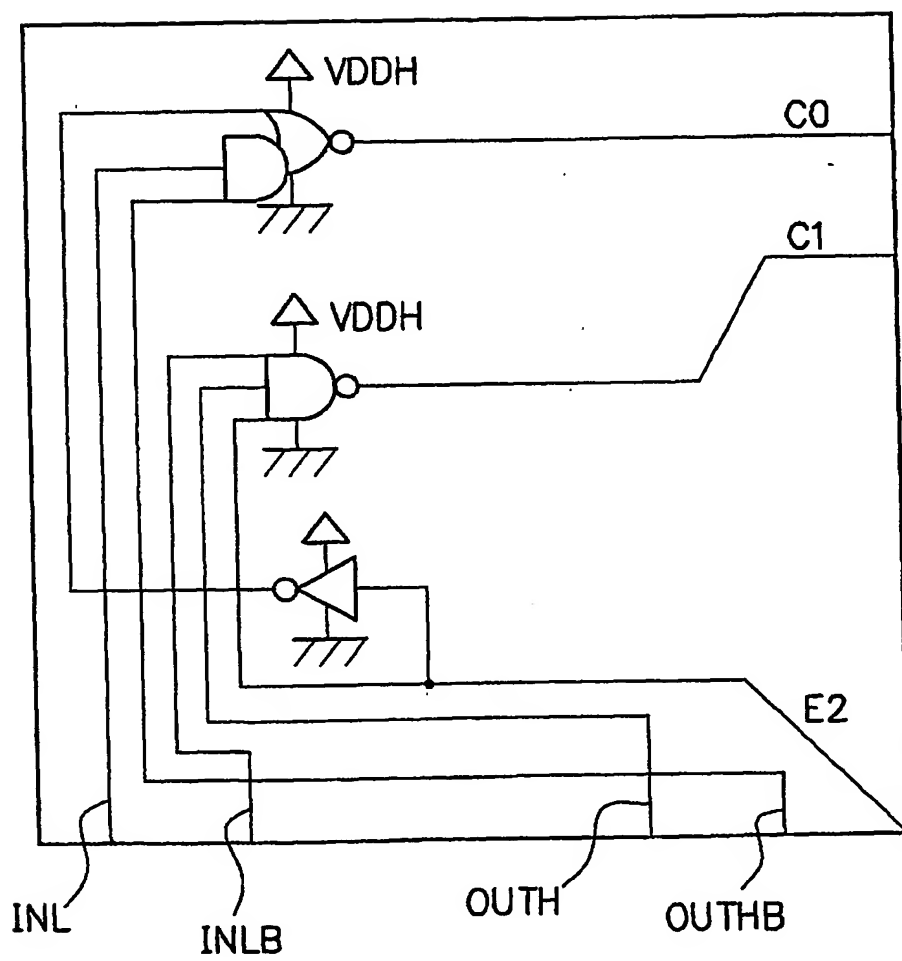
15X





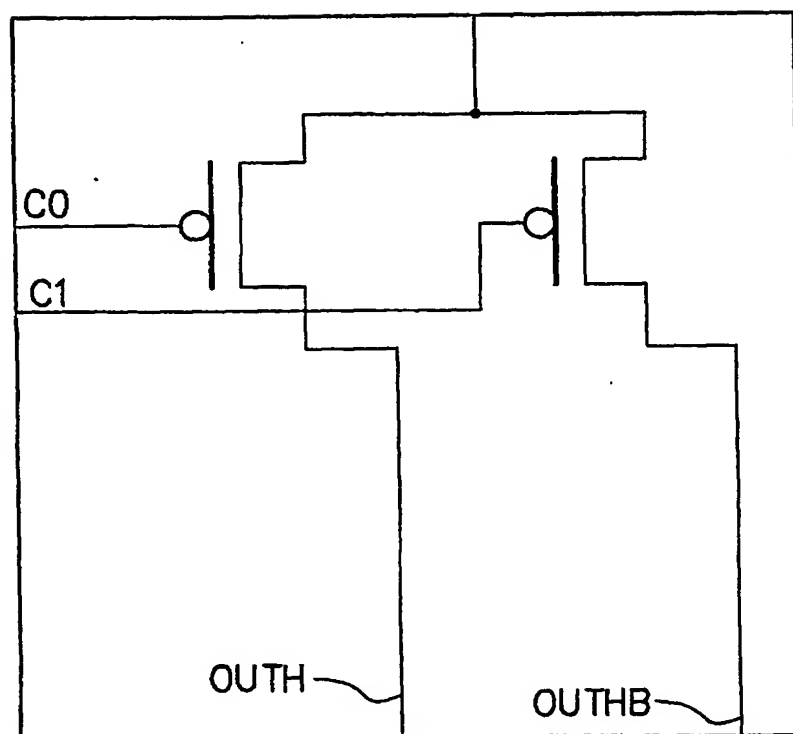
52/85

図 5 2



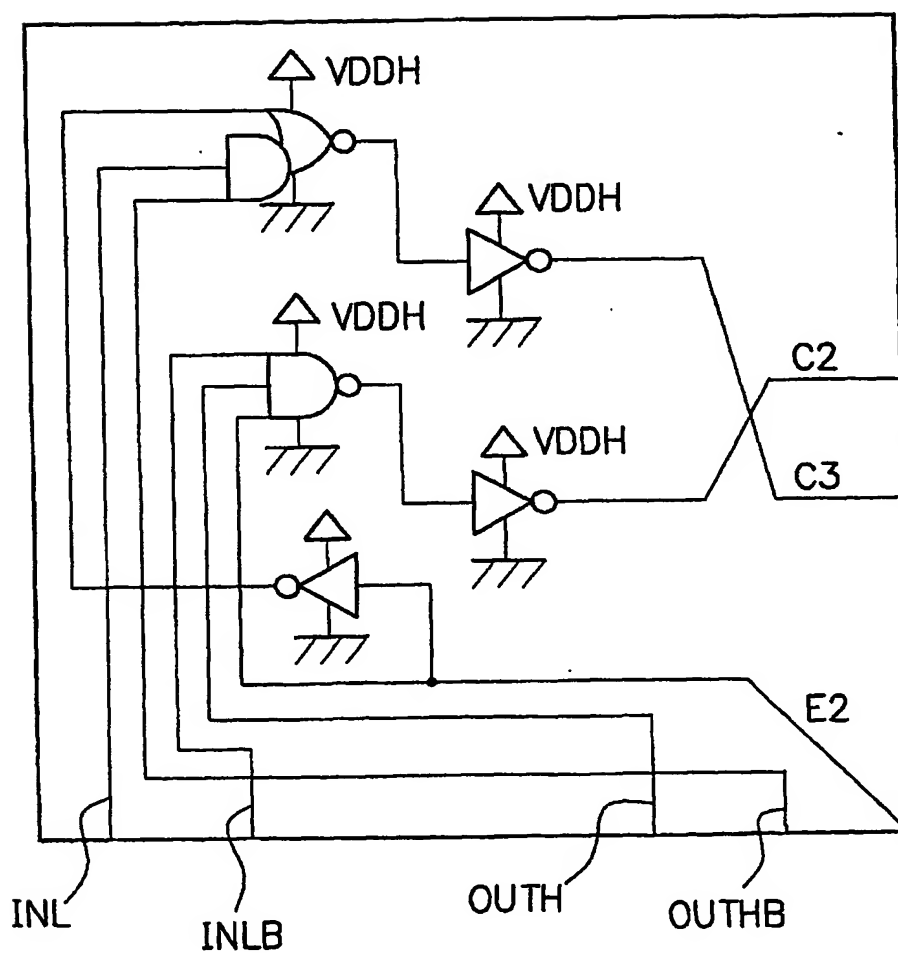
53/85

図 5 3



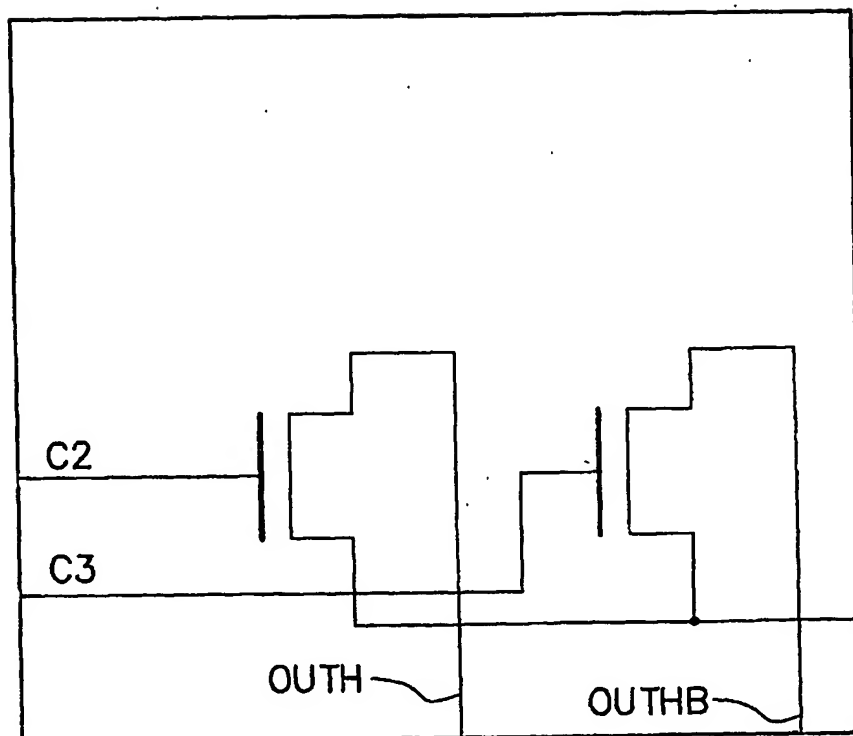
54/85

図 5 4



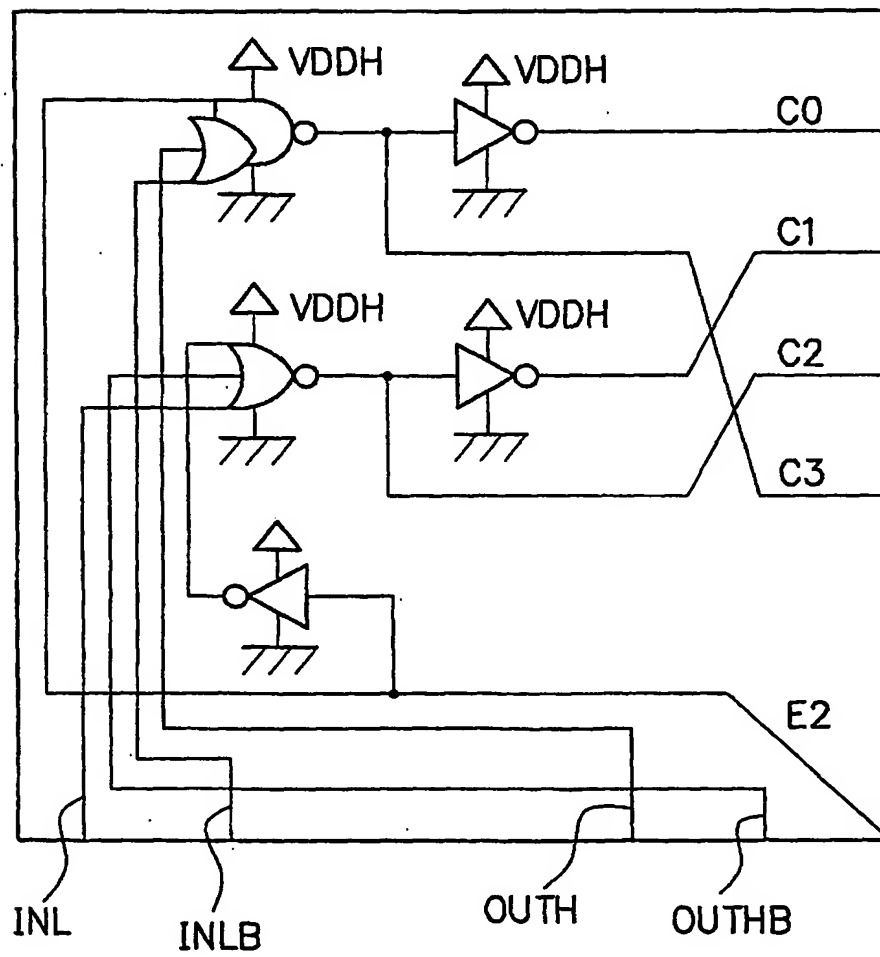
55/85

図 5 5



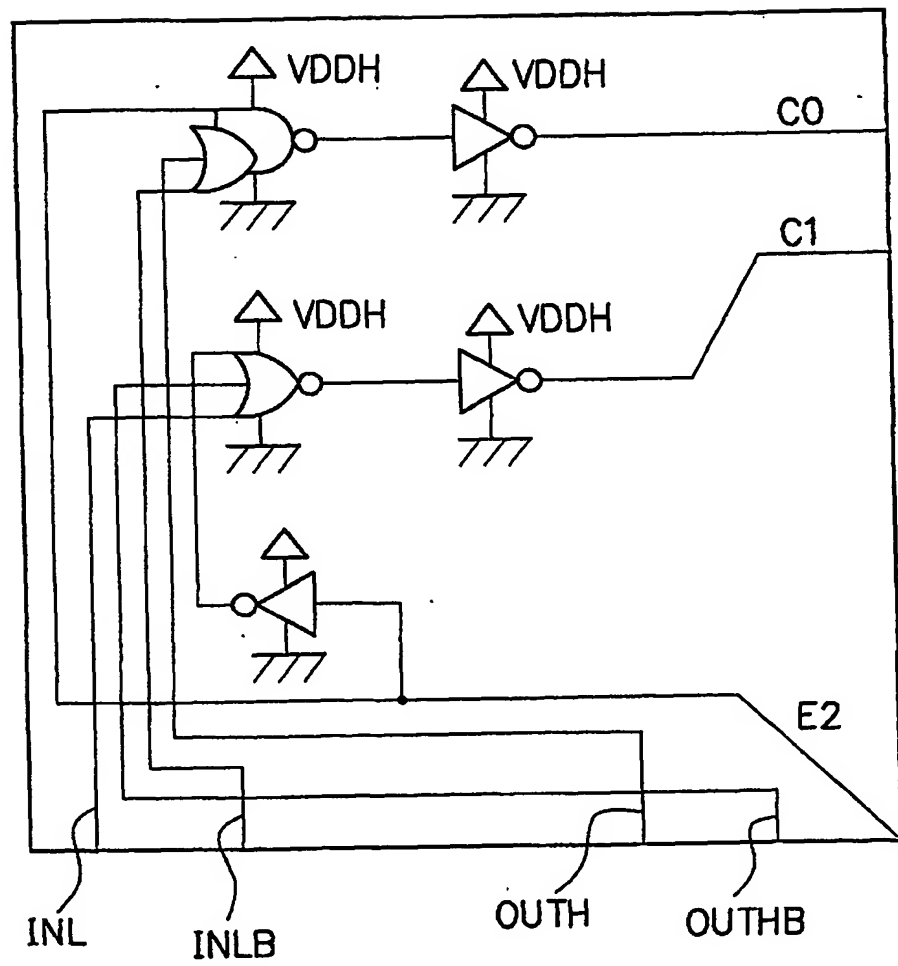
56/85

図 5.6



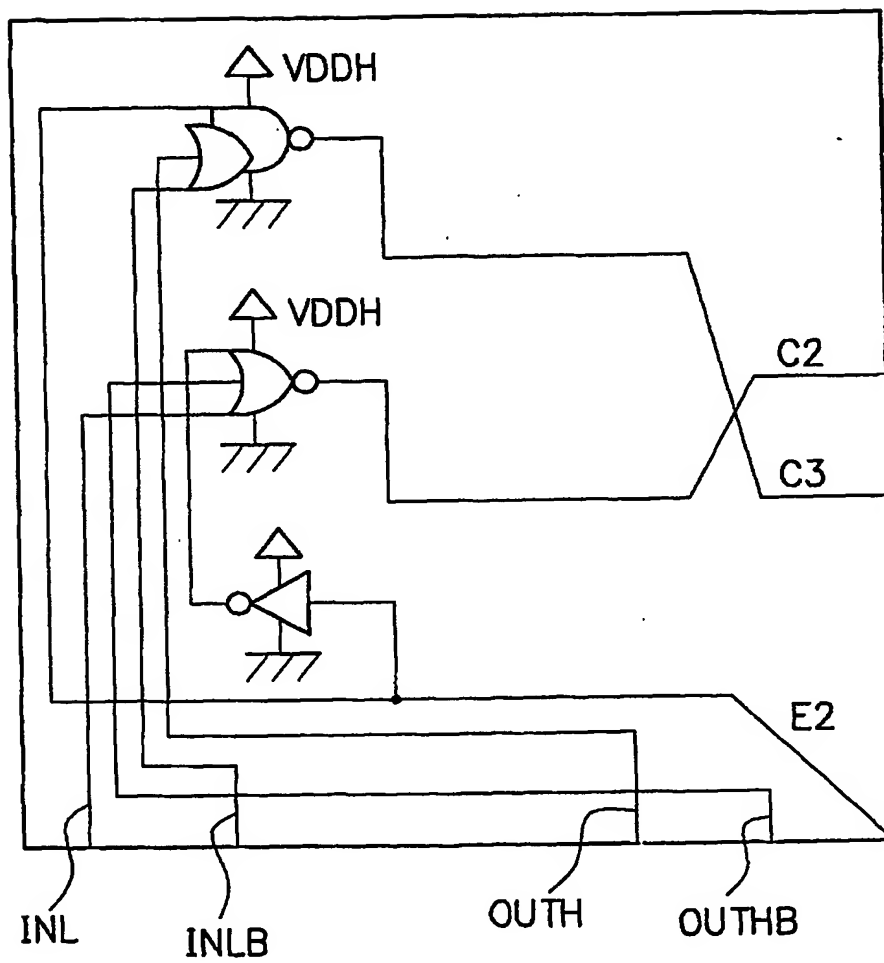
57/85

図 5 7



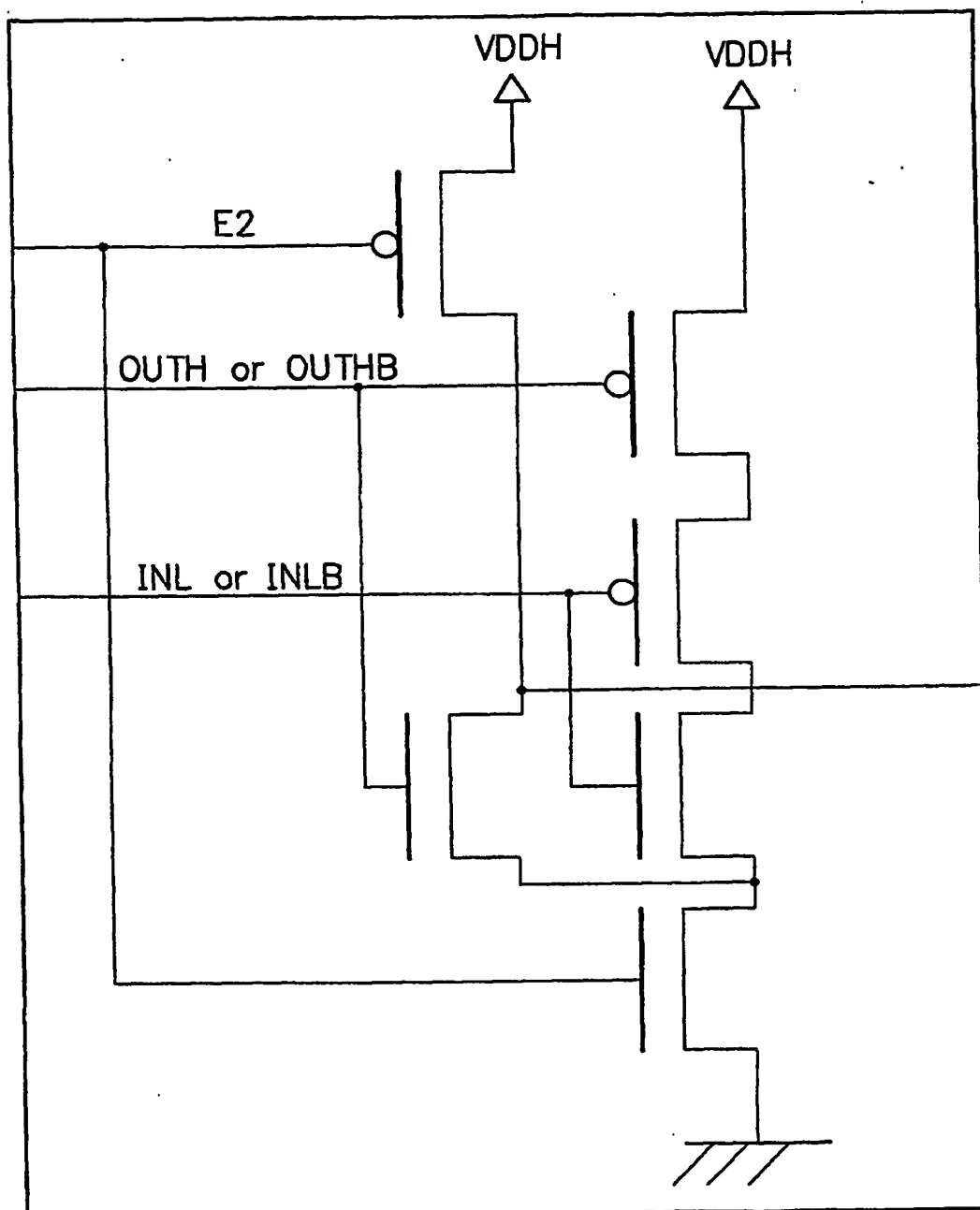
58/85

図 5 8



59/85

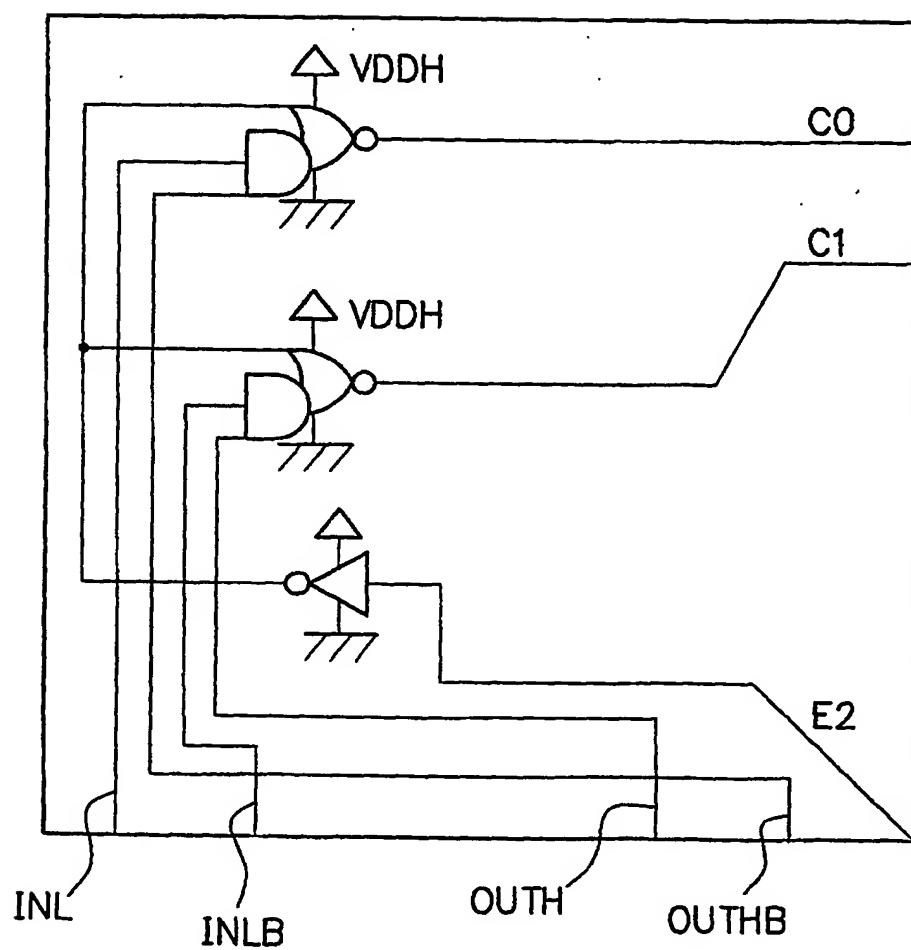
図 5 9





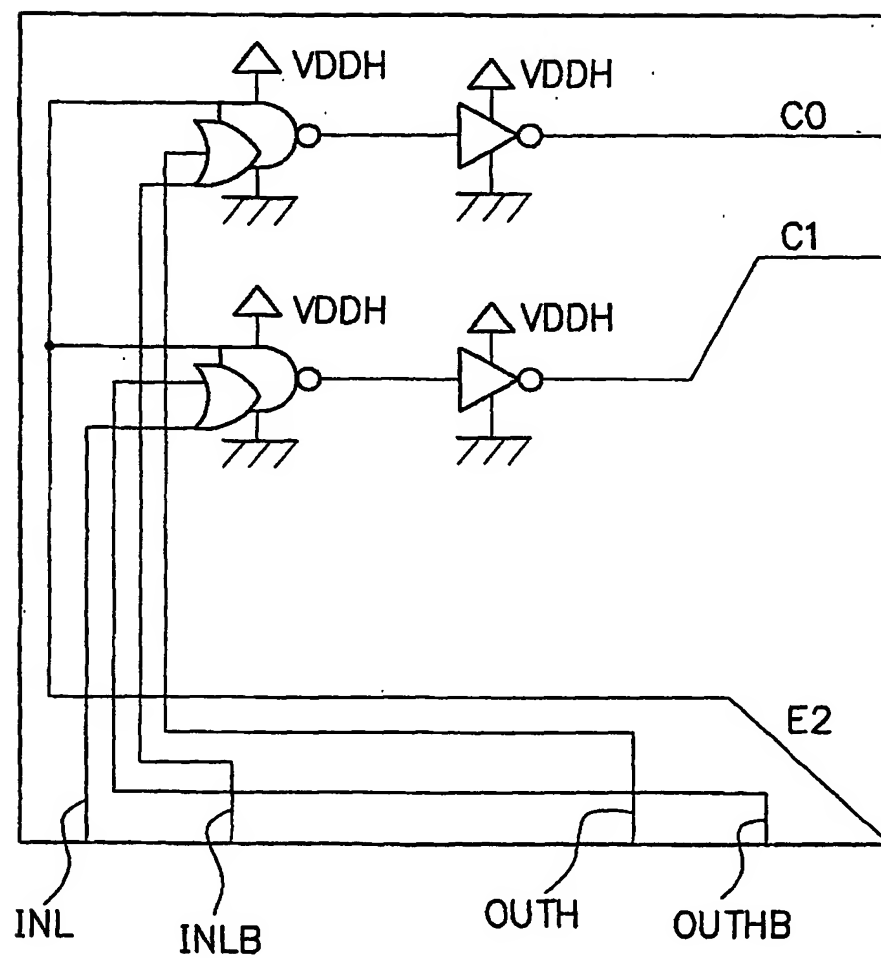
60/85

図 6 0



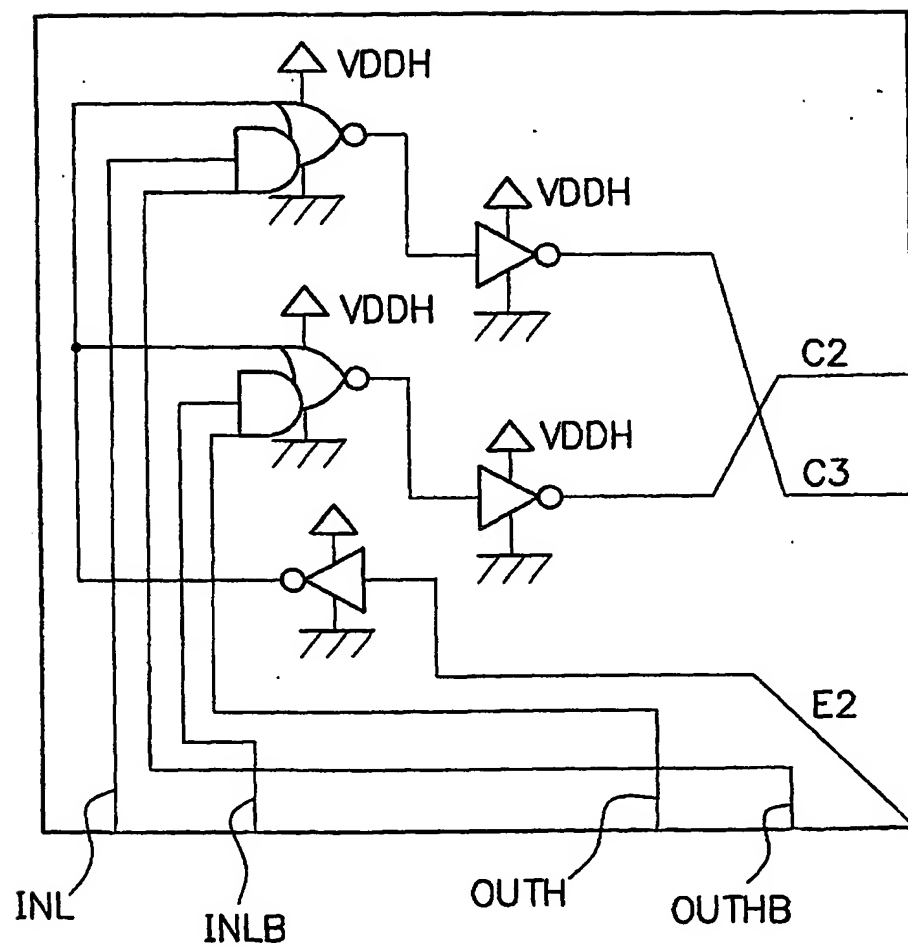
61/85

図 6 1



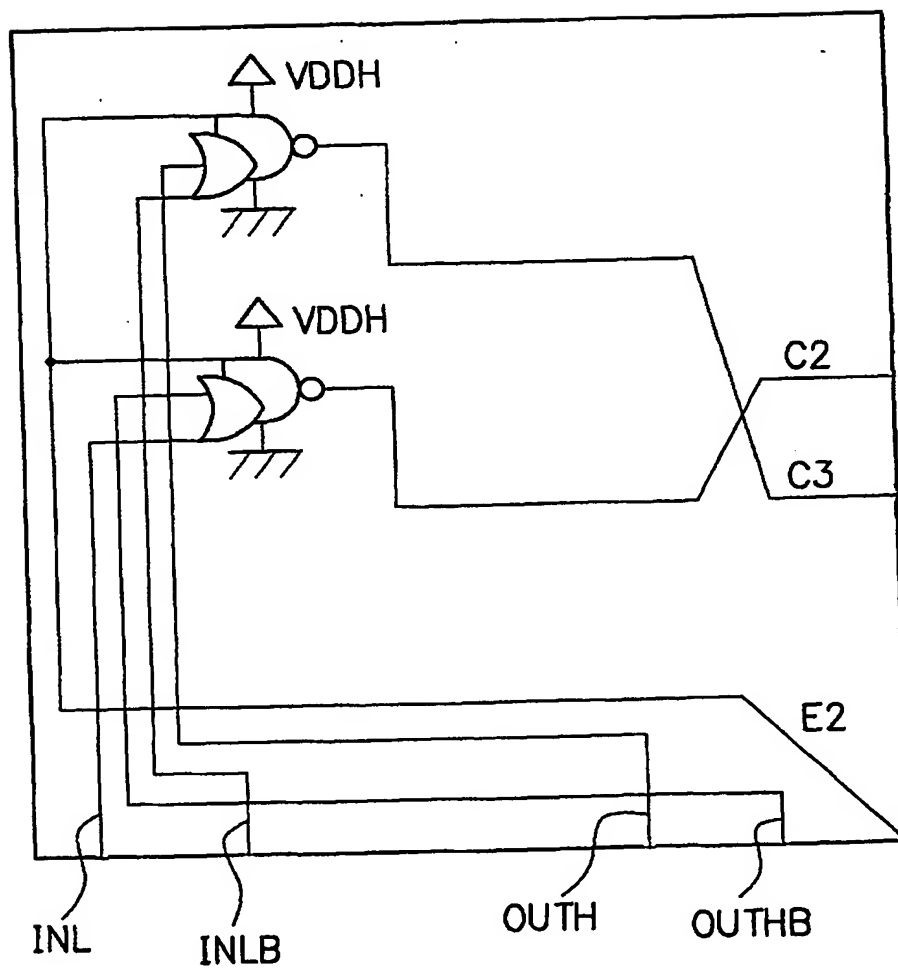
62/85

図 6 2



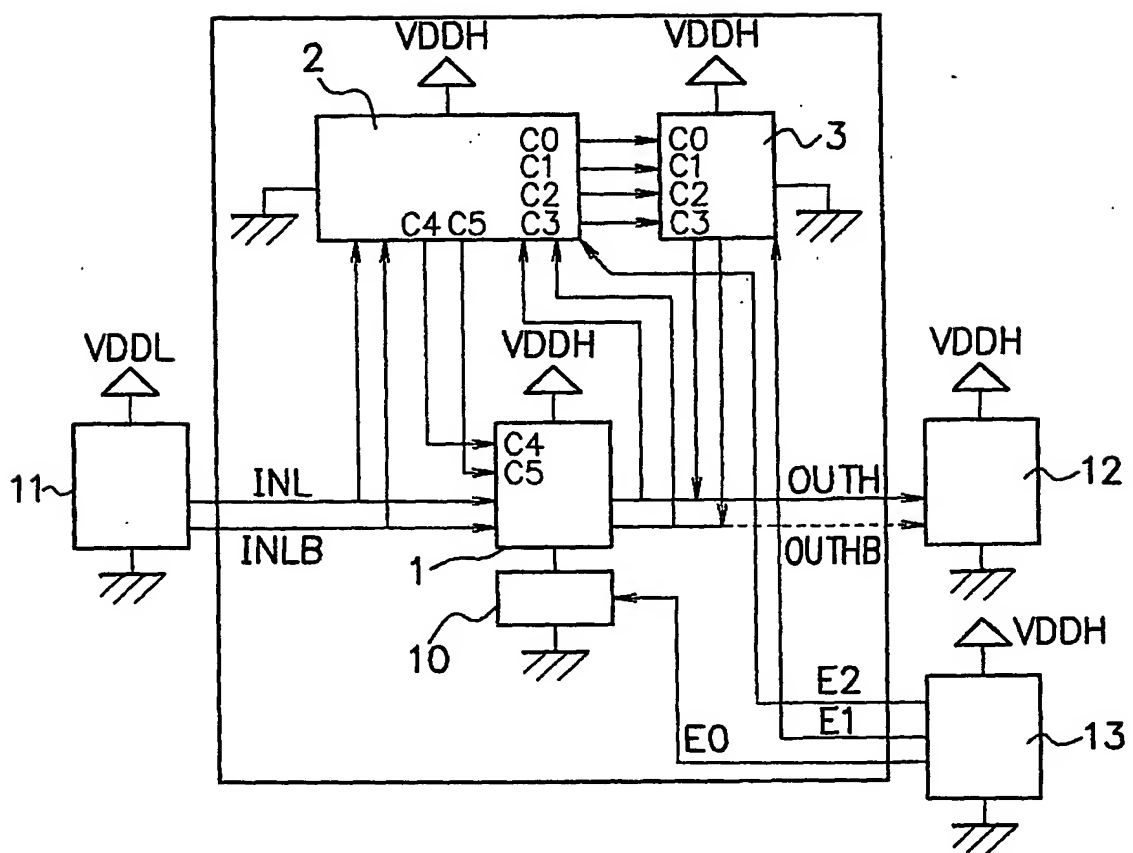
63/85

图 6 3



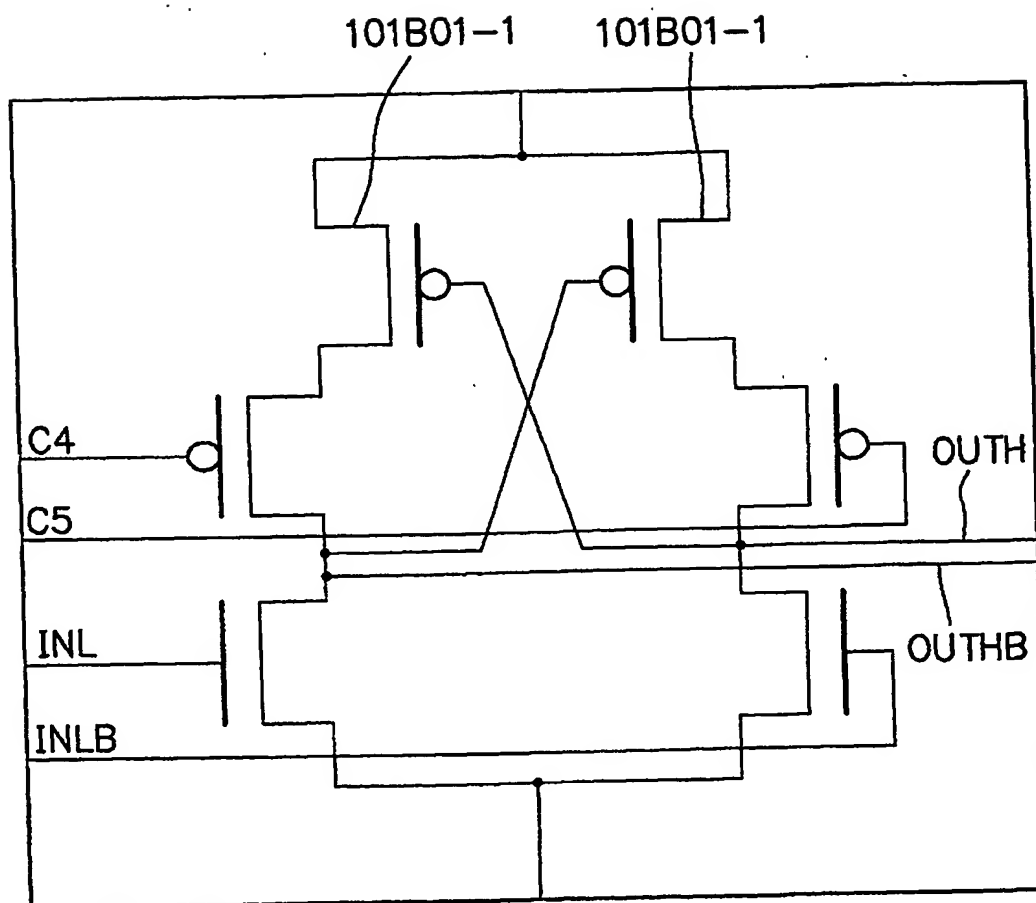
64/85

図 6 4



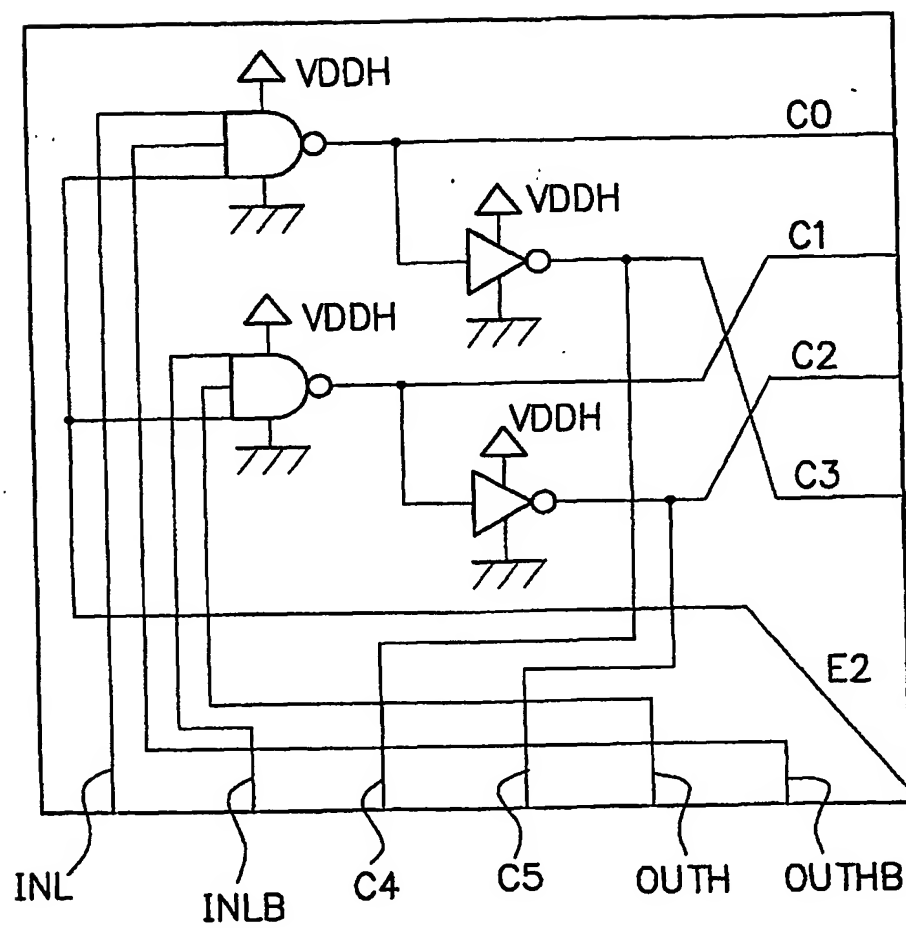
65/85

図 6 5



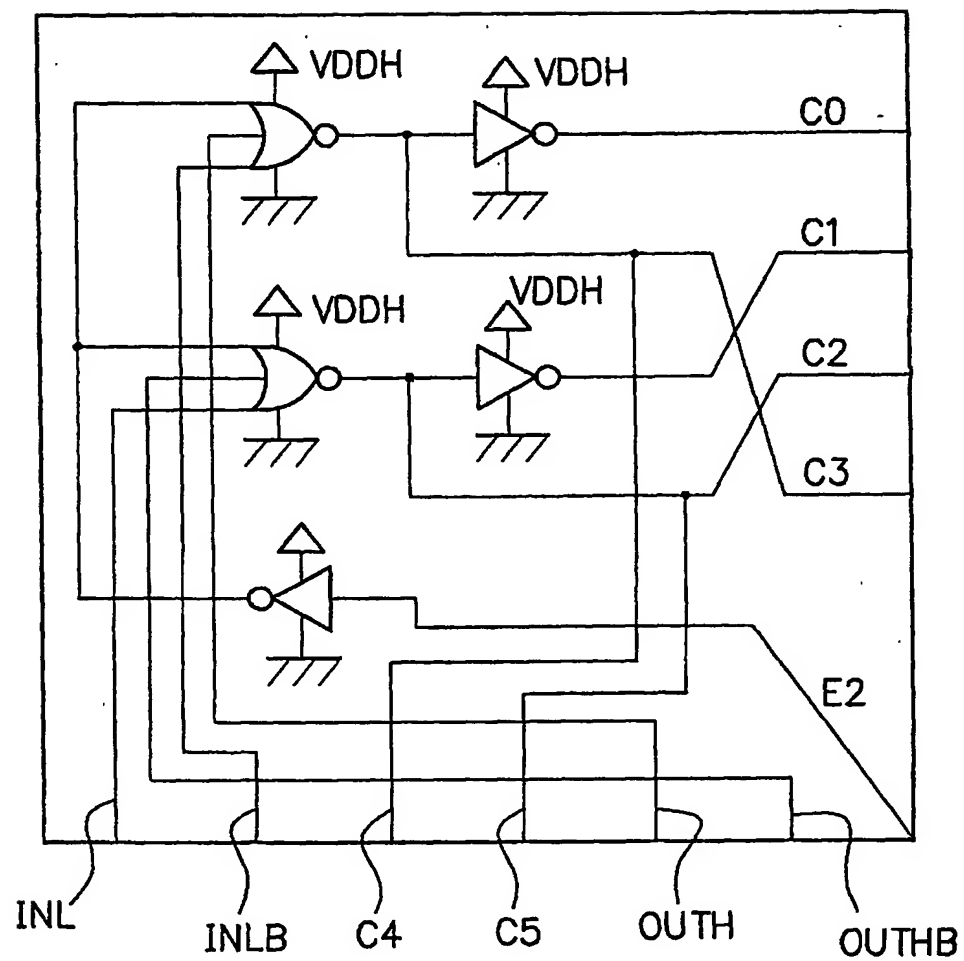
66/85

図 6 6



67/85

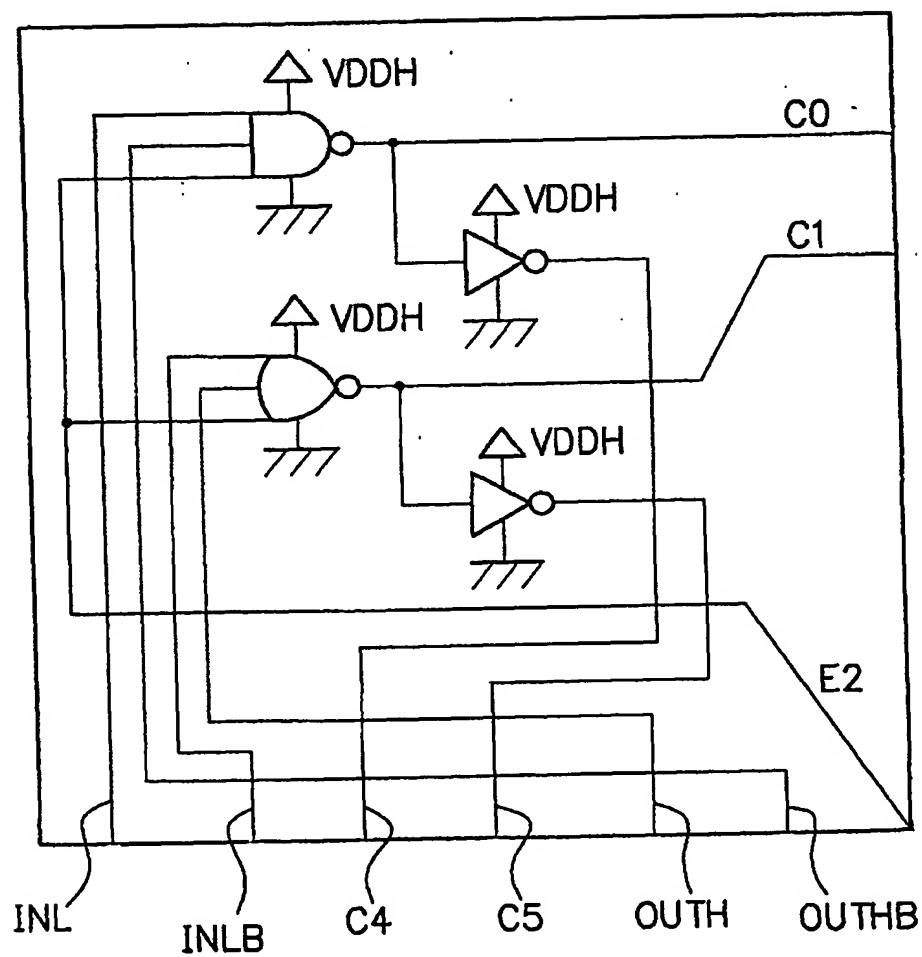
图 67





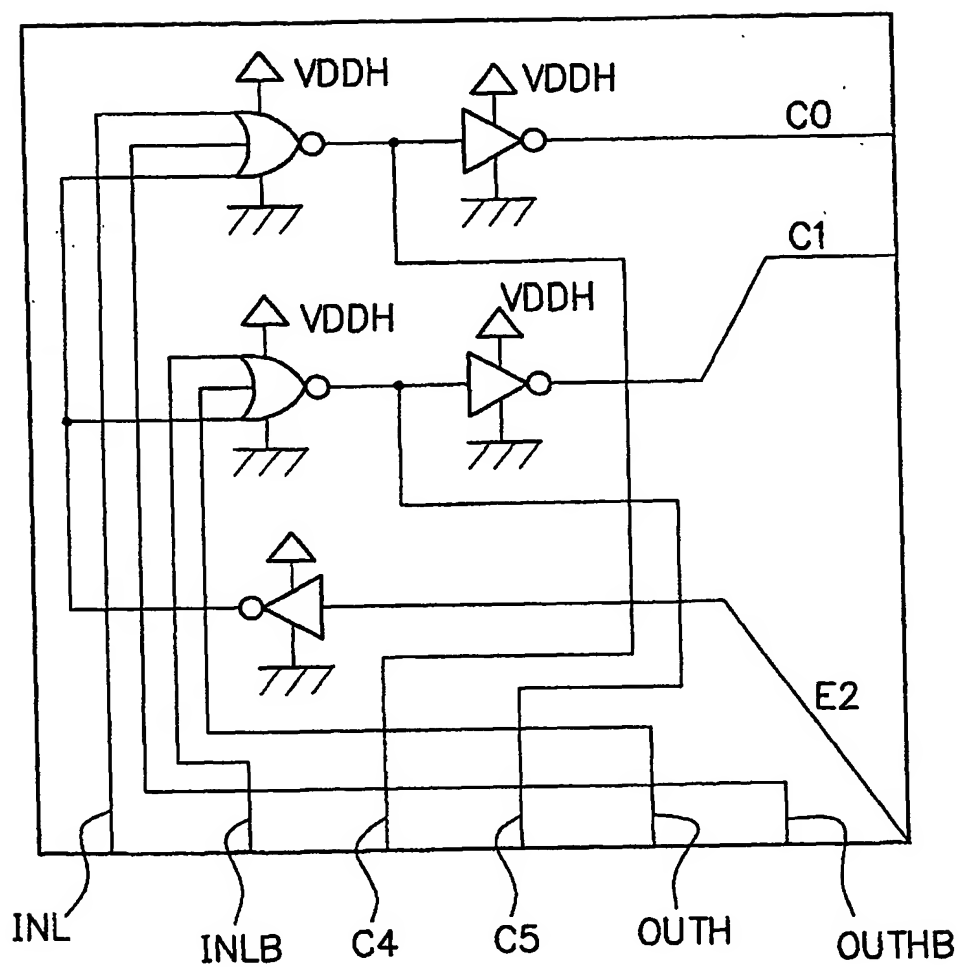
68/85

図 6 8



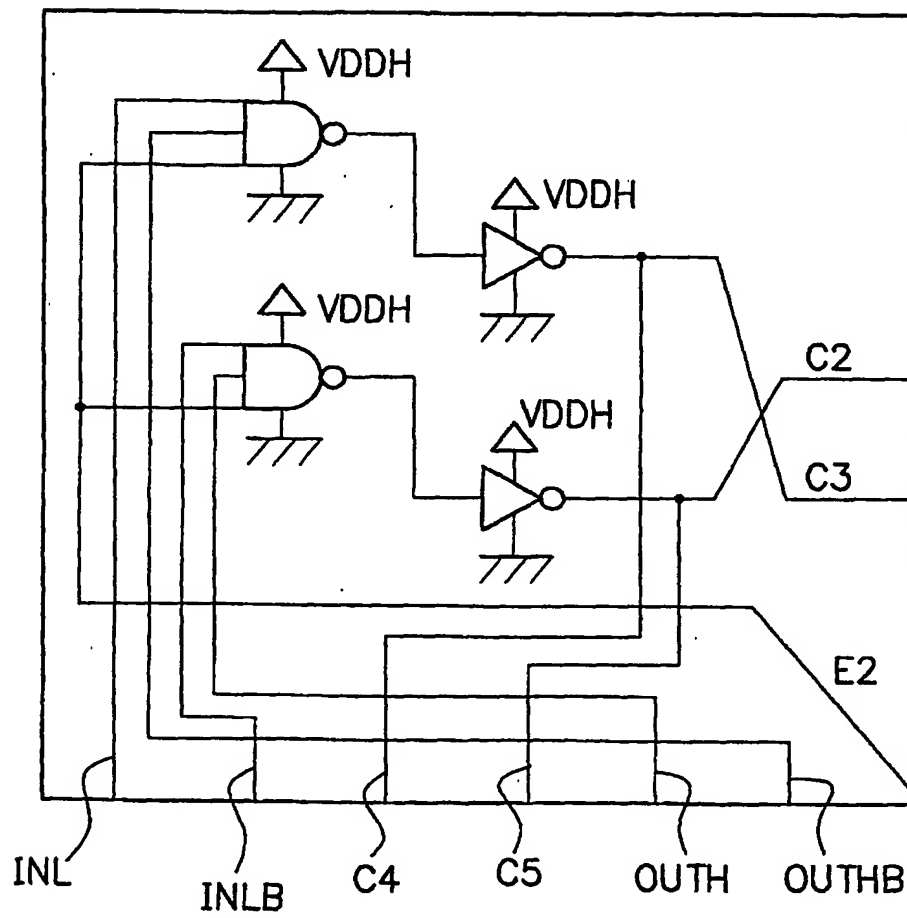
69/85

図 6 9



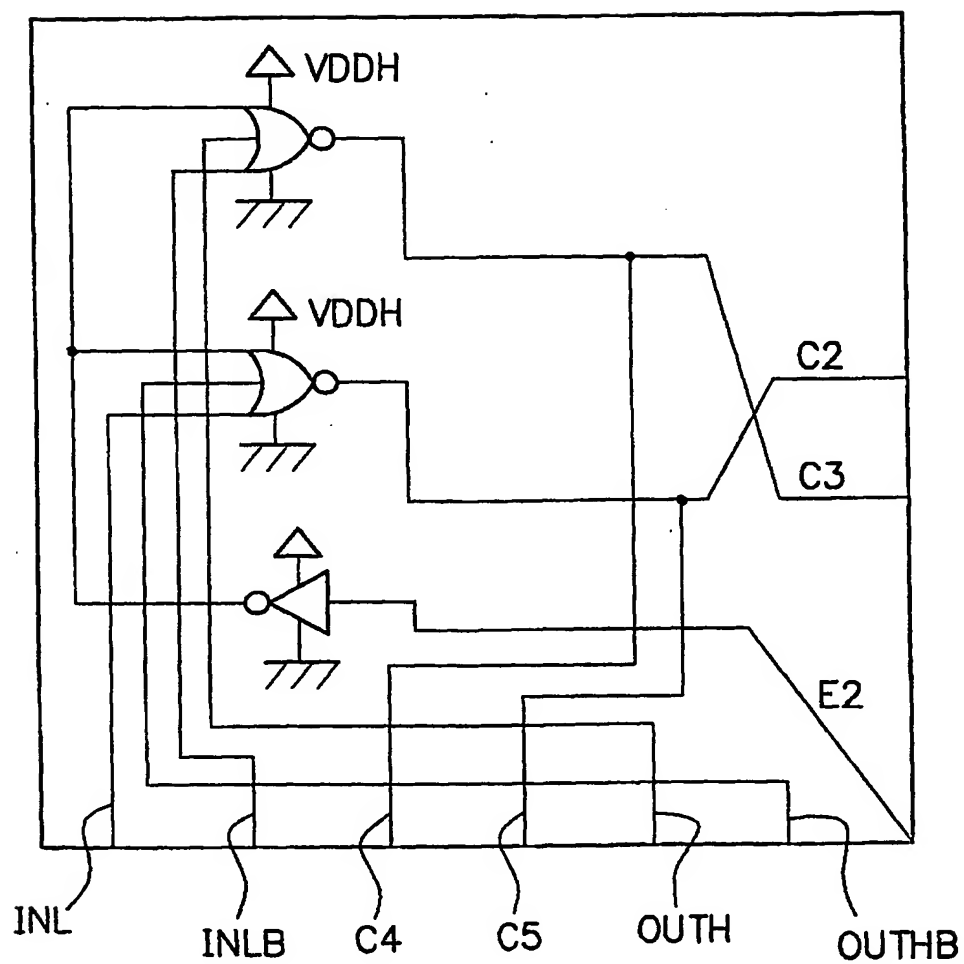
70/85

図 7 0



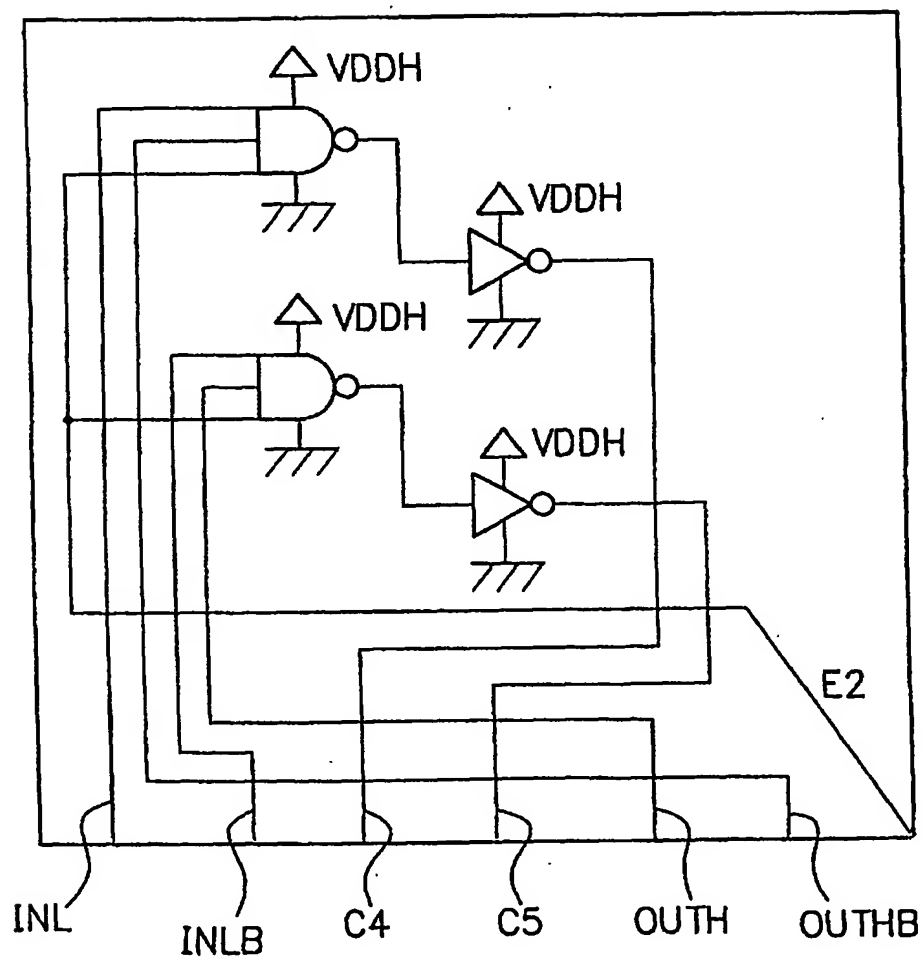
71/85

図 7 1



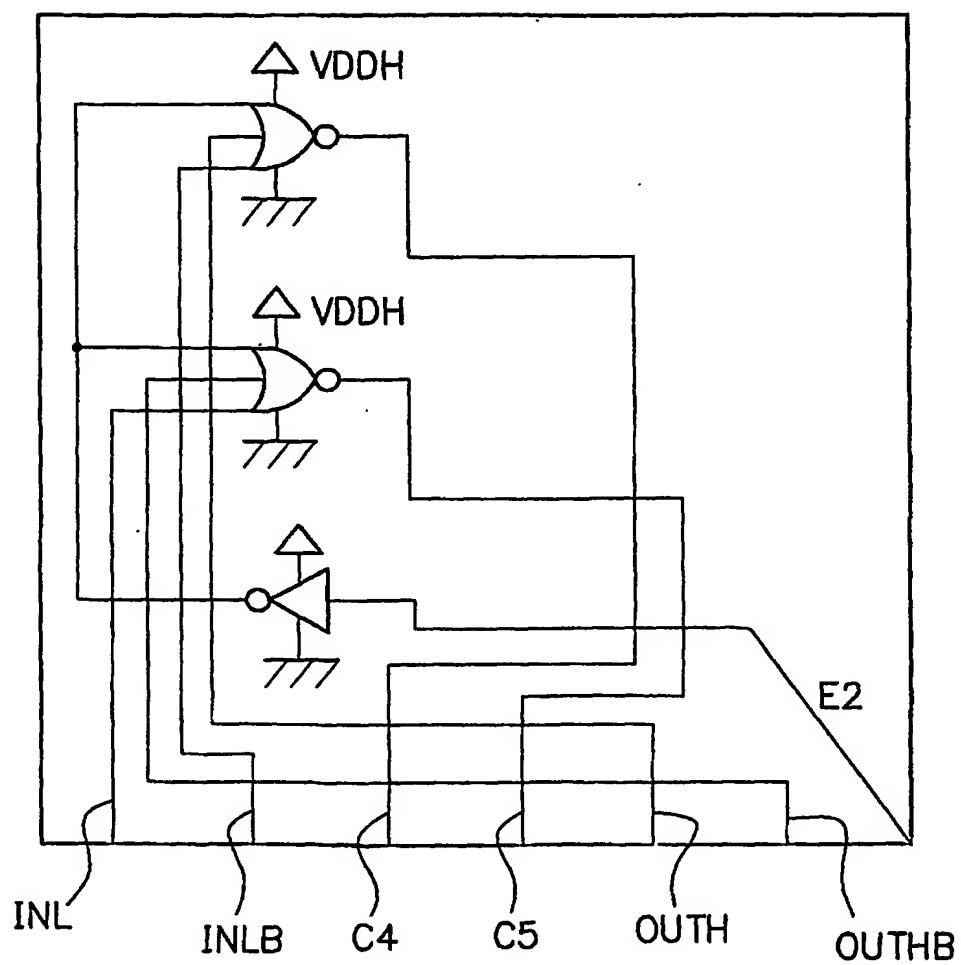
72/85

図 7 2



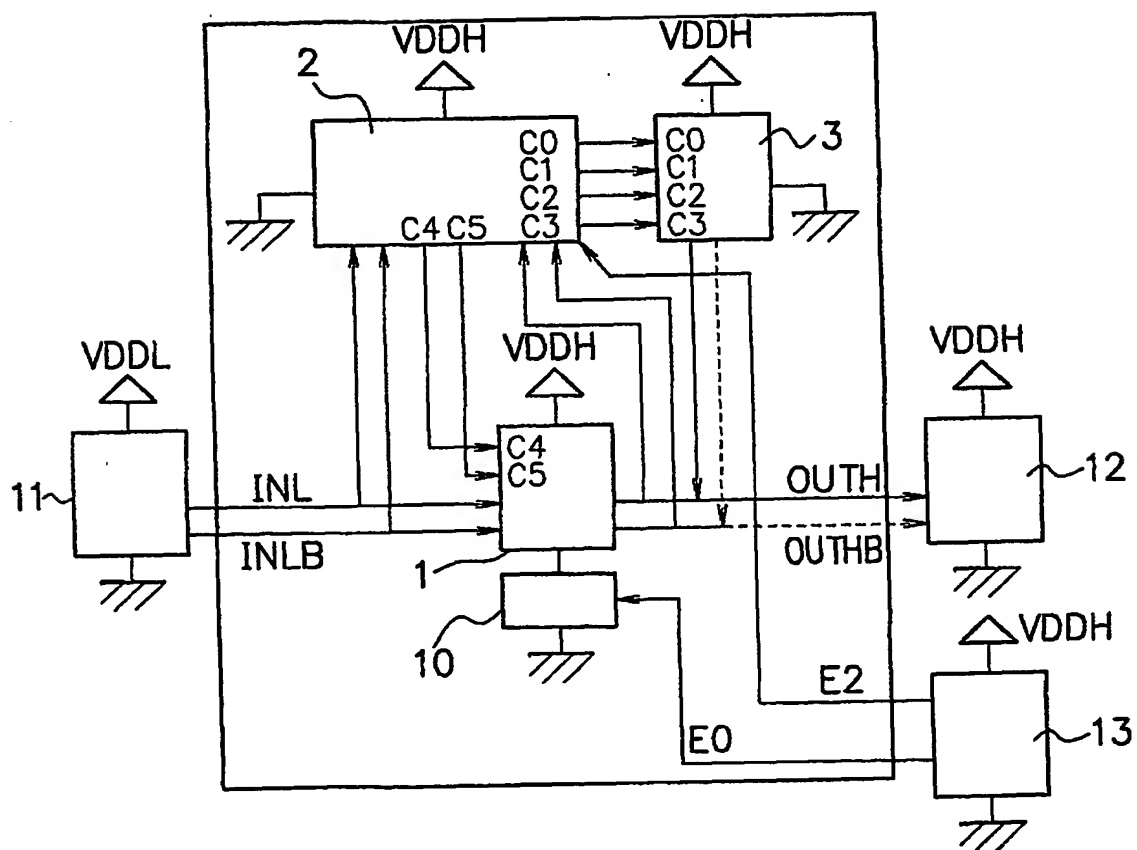
73/85

図 7 3



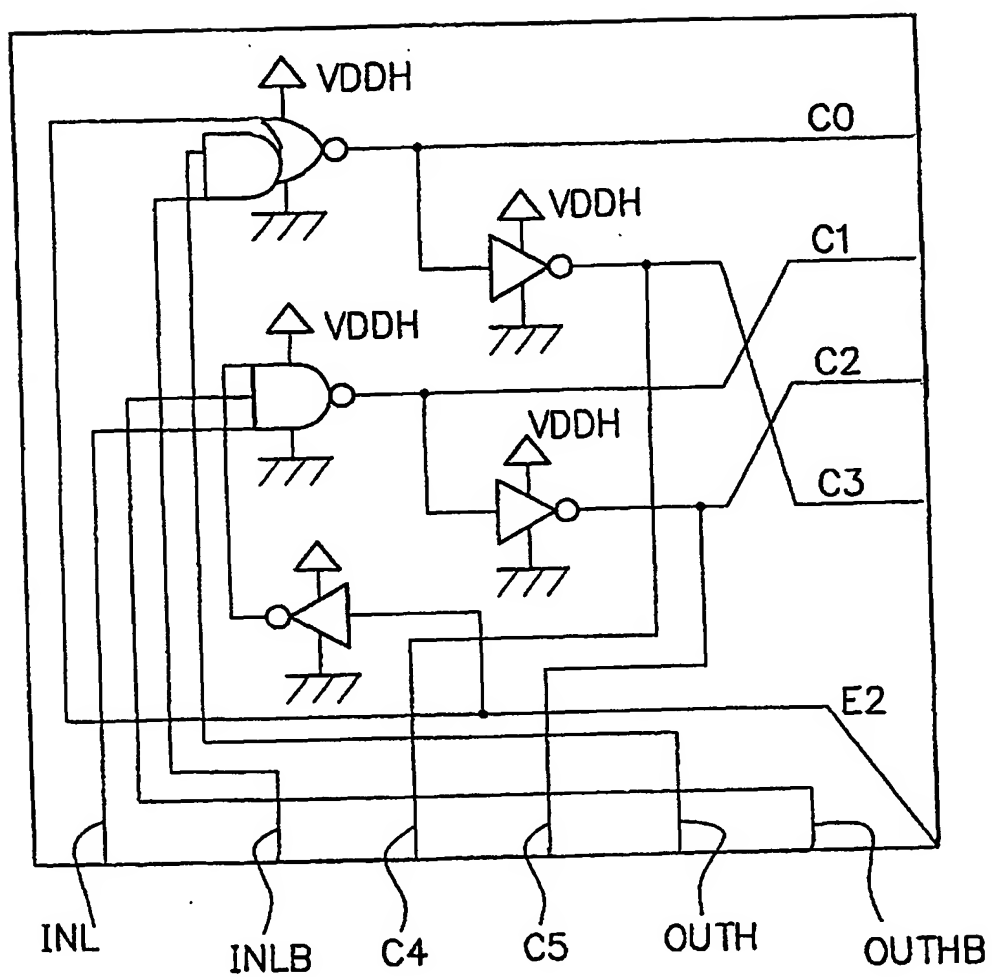
74/85

図 7 4



75/85

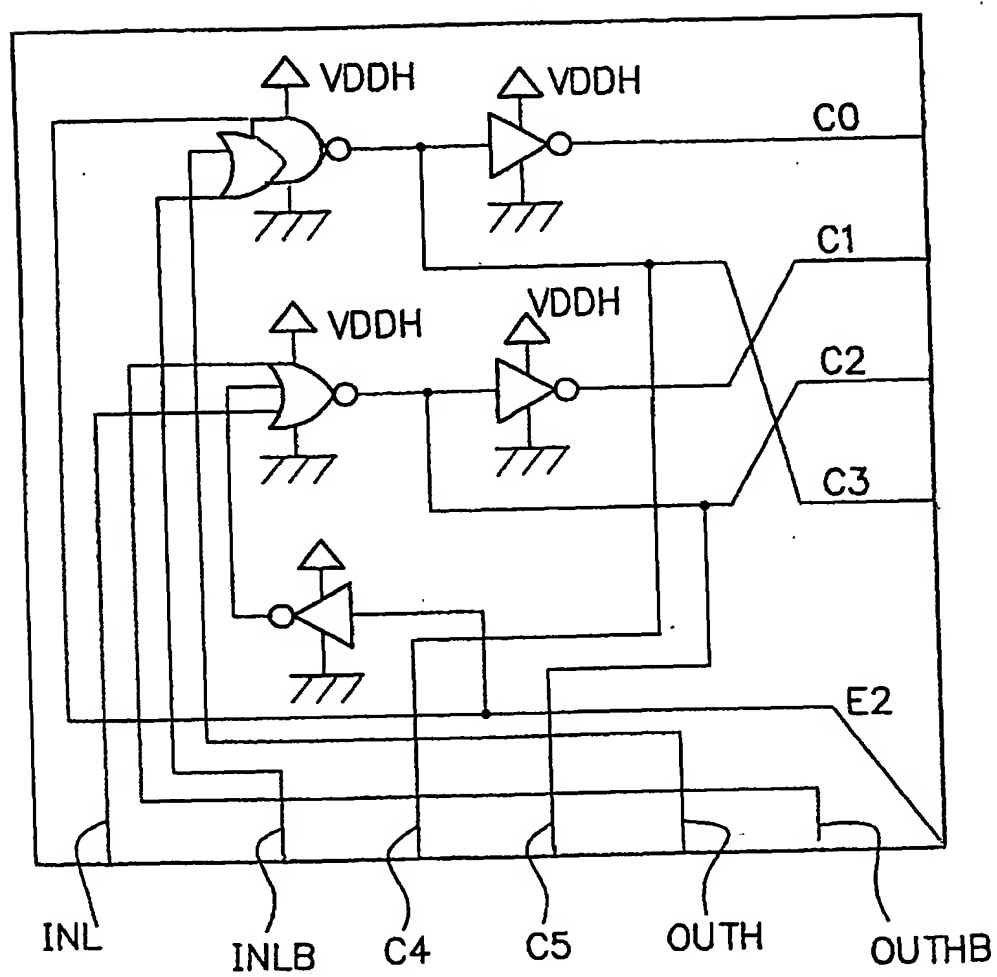
図 7 5





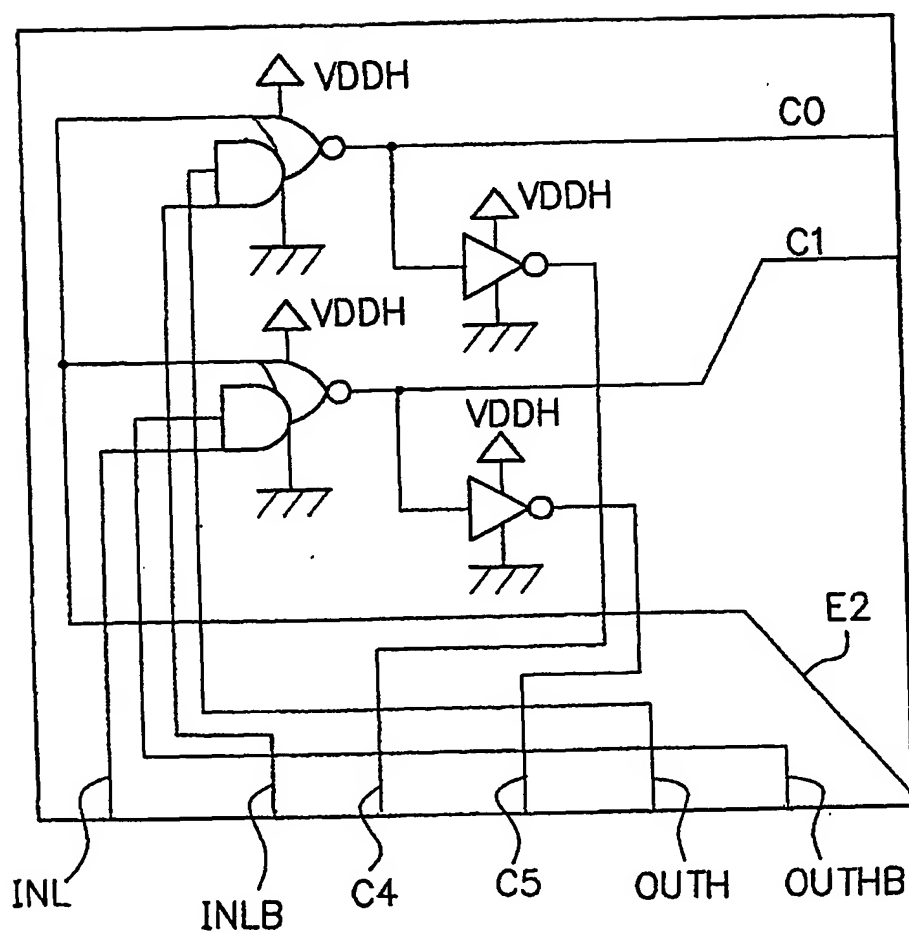
76/85

図 7 6



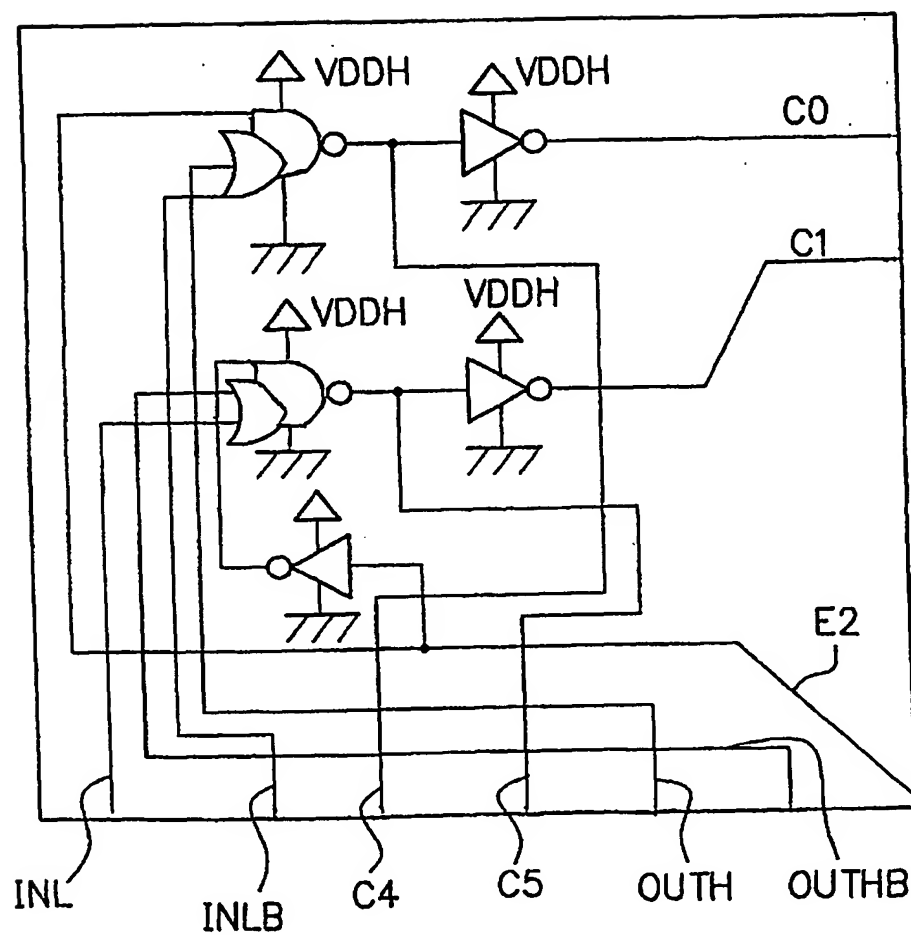
77/85

図 7 7



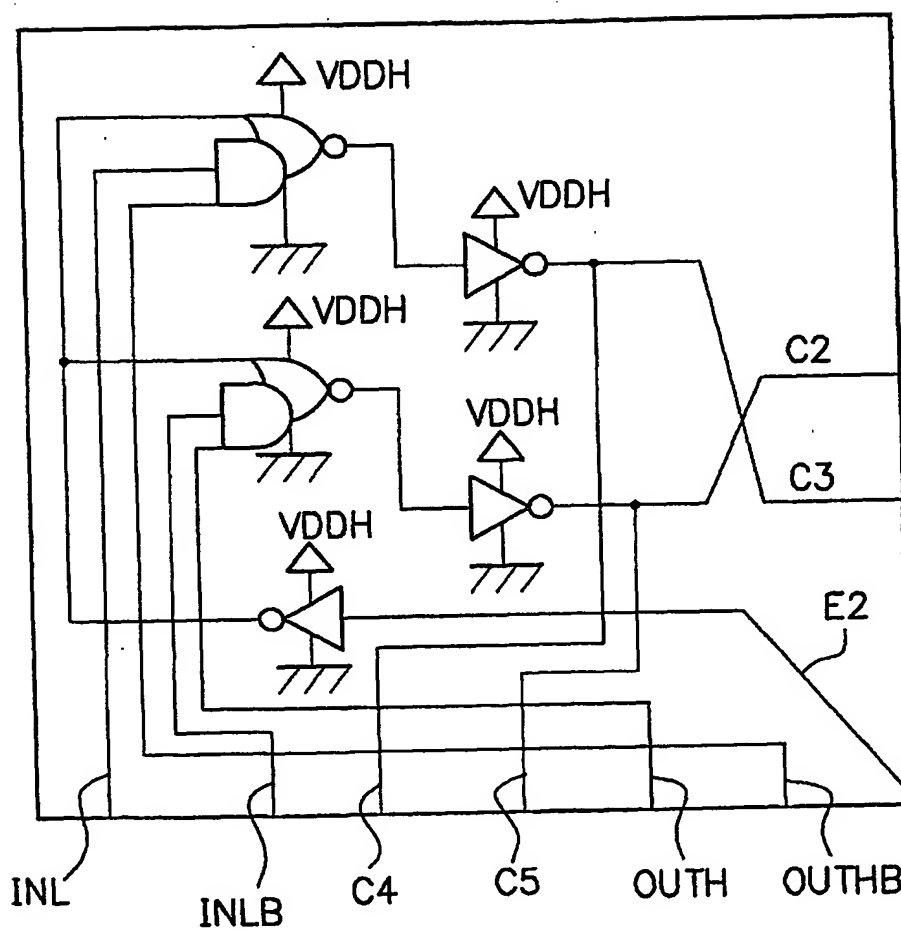
78/85

図 7 8



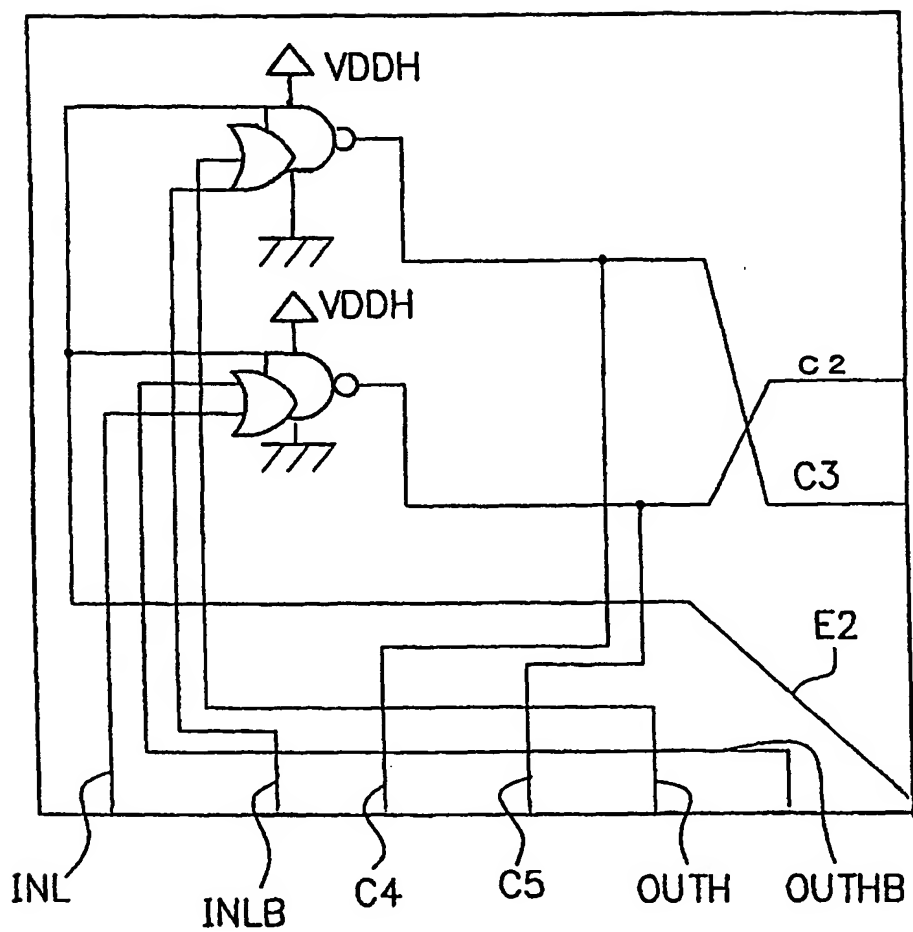
79/85

図 7 9



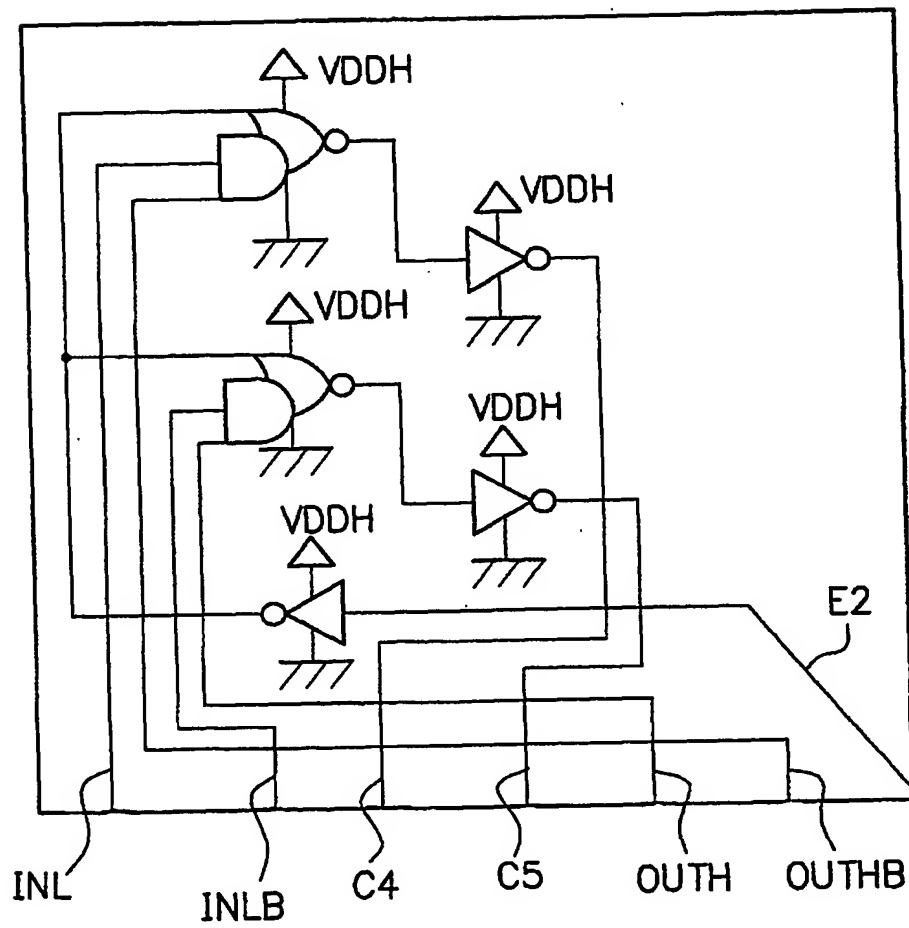
80/85

図 80



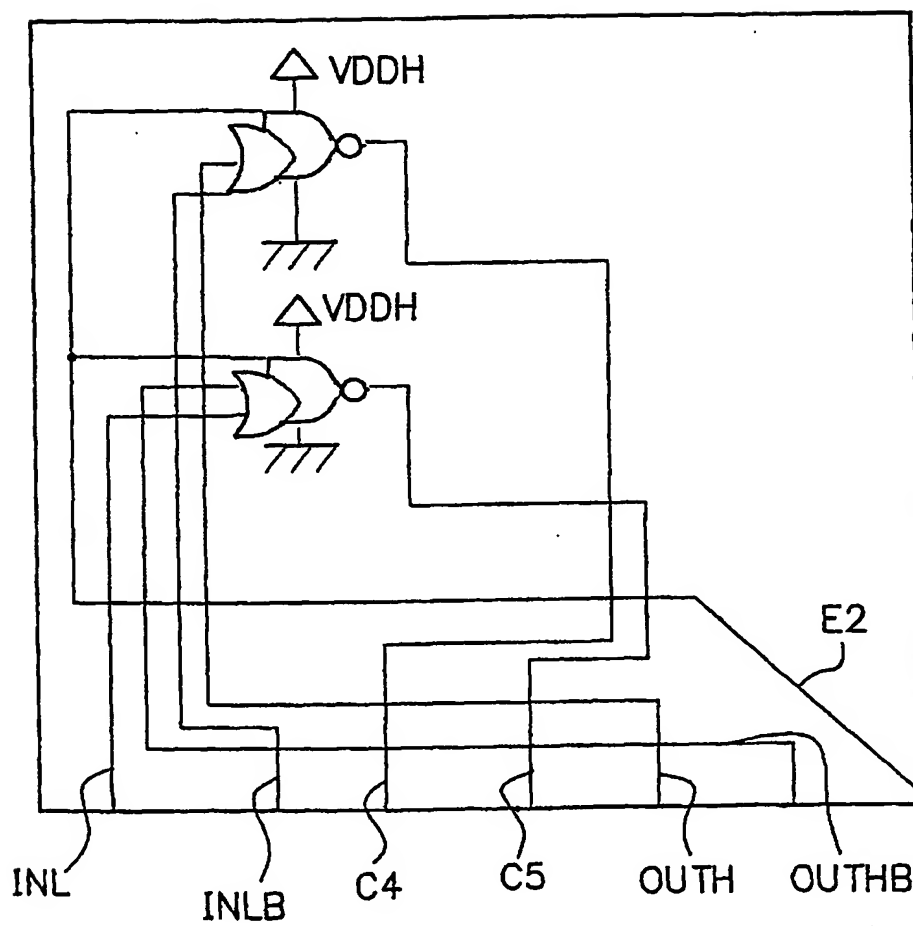
81/85

図 8 1



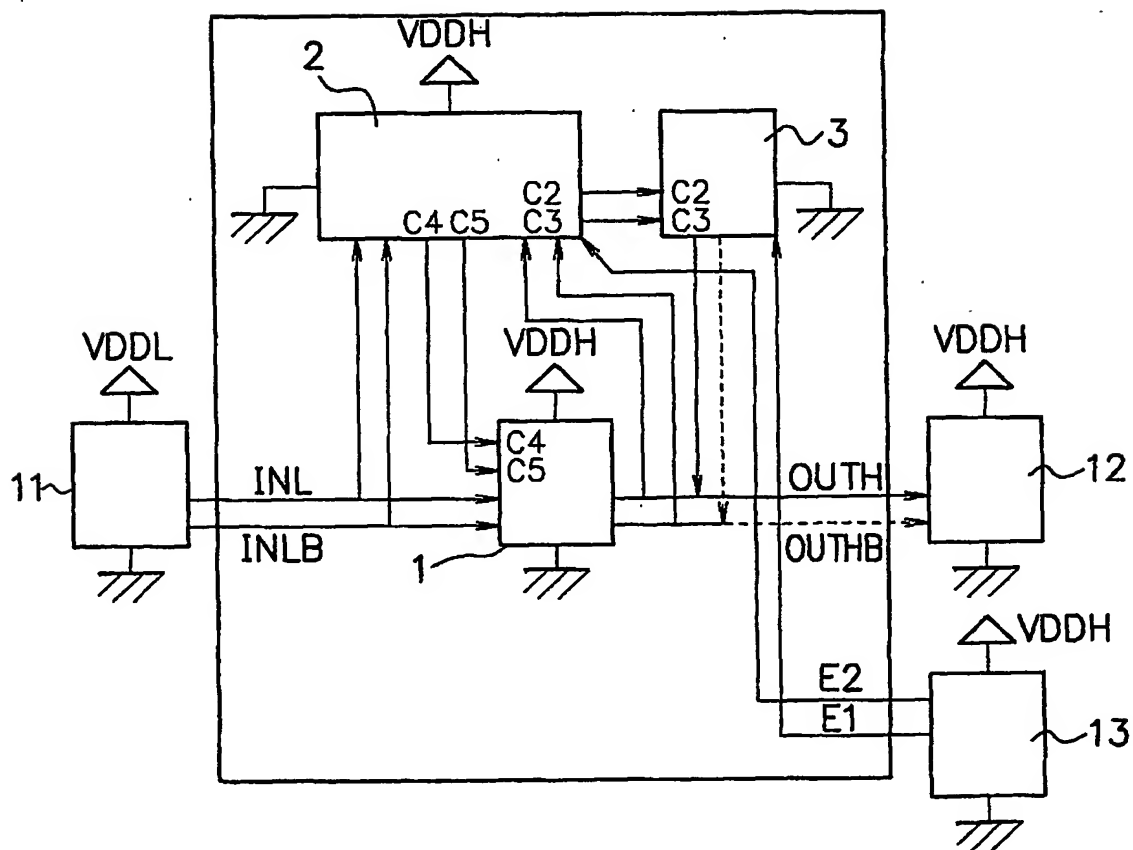
82/85

図 8 2



83/85

図 8 3





84/85

図 8 4

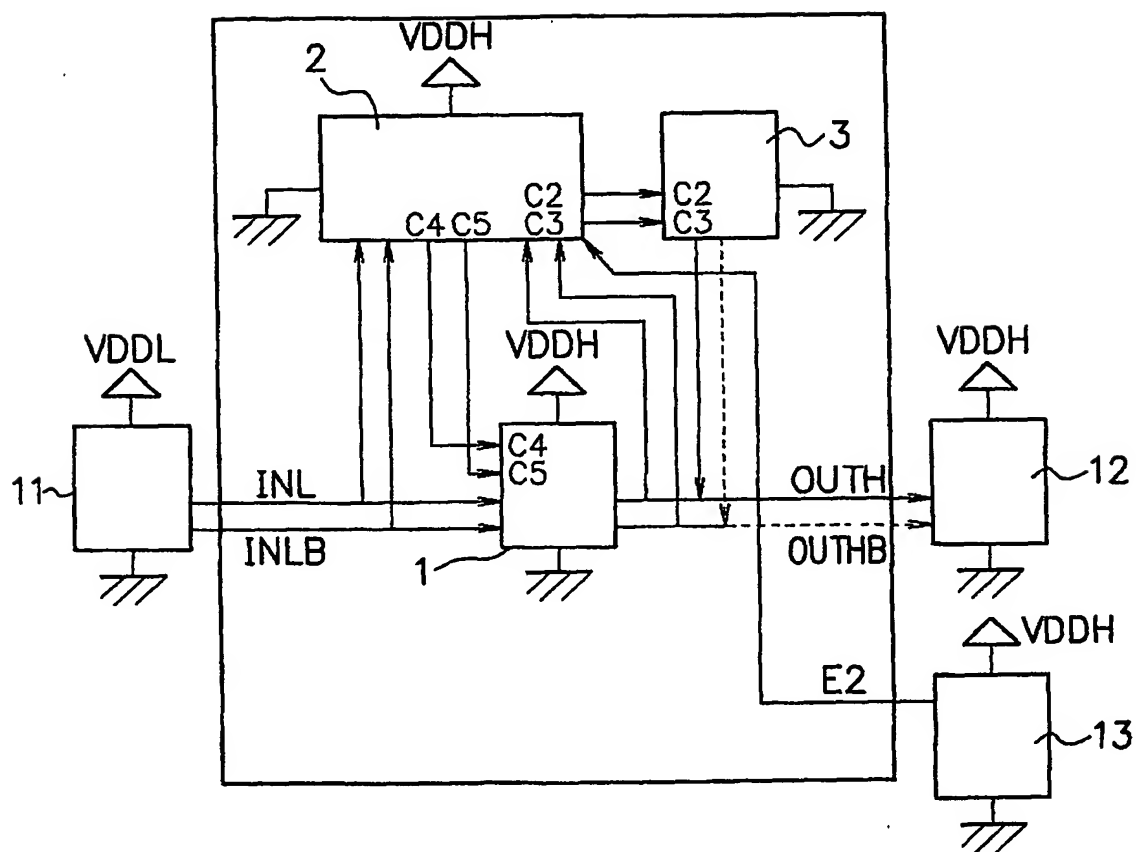
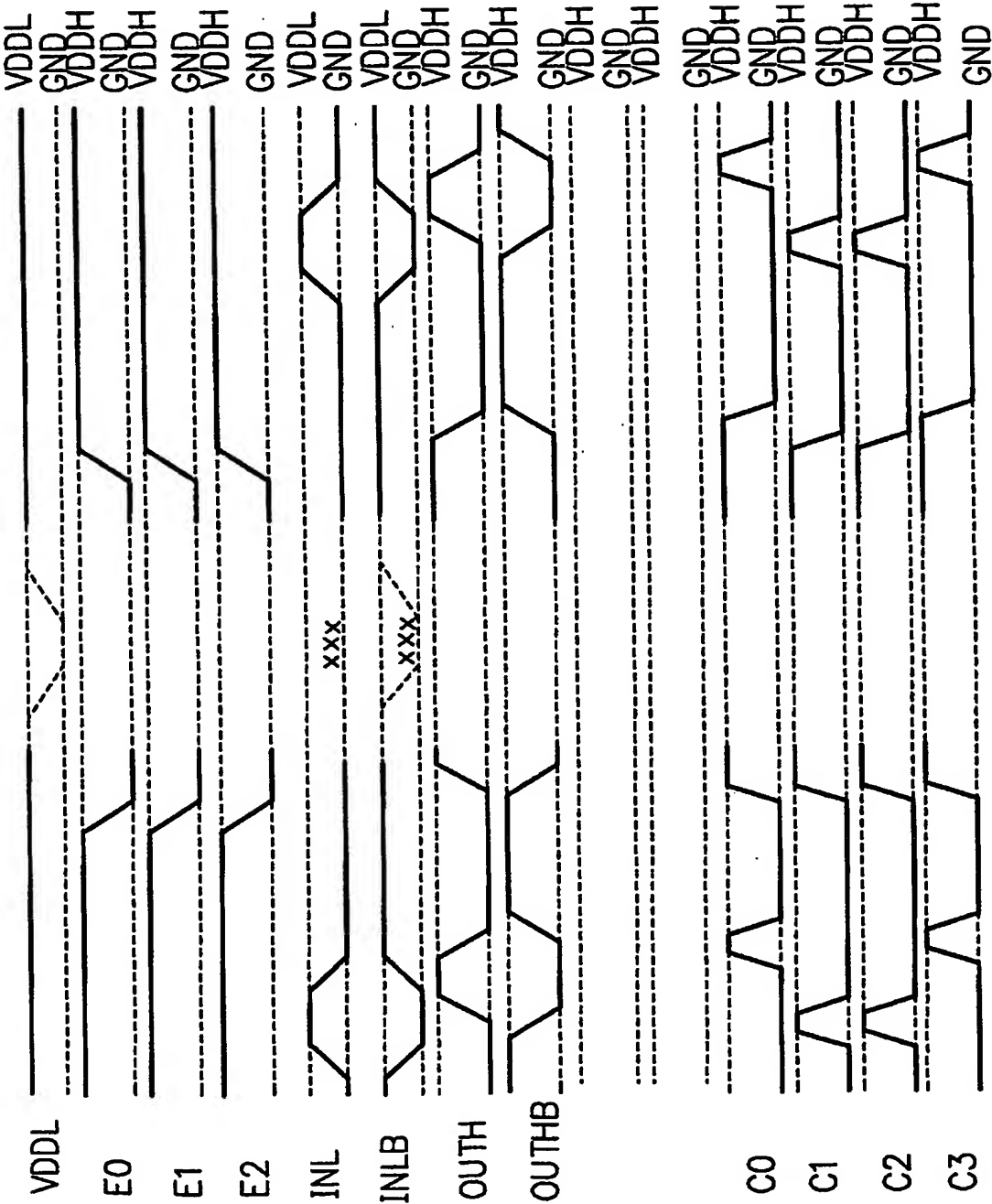


図 8 5



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/13931

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K19/0185

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-84274 A (Matsushita Electric Industrial Co., Ltd.), 31 March, 1998 (31.03.98), Figs. 7, 8, 10, 3, 4 (Family: none)	1-5, 9, 10, 51, 64
A	JP 10-84274 A (Matsushita Electric Industrial Co., Ltd.), 31 March, 1998 (31.03.98), Figs. 7, 8, 10, 3, 4 (Family: none)	6-8, 11-50, 52-63, 65, 66
A	JP 2001-68991 A (NEC IC Miconsystem Kabushiki Kaisha), 16 March, 2001 (16.03.01), Fig. 1; Par. Nos. [0046] to [0047] (Family: none)	6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
25 November, 2003 (25.11.03)

Date of mailing of the international search report  
09 December, 2003 (09.12.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13931

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-239051 A (NEC Corp.), 31 August, 1999 (31.08.99), Figs. 1, 4; columns 30 to 31, 42 & US 6094083 A	6
A	JP 2000-349618 A (Matsushita Electronics Corp.), 15 December, 2000 (15.12.00), Fig. 4, columns 12, 46 to 47 (Family: none)	7
A	JP 11-205140 A (Mitsubishi Electric Corp.), 30 July, 1999 (30.07.99), Figs. 8, 4, 5 & US 6091351 A	56
A	JP 11-195975 A (Hitachi, Ltd.), 21 July, 1999 (21.07.99), Fig. 3 & US 6249145 B1	56
A	JP 11-261401 A (Sharp Corp.), 24 September, 1999 (24.09.99), Fig. 3 & US 6002290 A	60
A	JP 9-74348 A (Seiko Epson Corp.), 18 March, 1997 (18.03.97), Figs. 1, 2; columns 7 to 11 (Family: none)	1-66
A	JP 2000-124792 A (New Japan Radio Co., Ltd.), 28 April, 2000 (28.04.00), Page 1, abstract (Family: none)	1-66
A	JP 7-264047 A (Fujitsu Ltd.), 13 October, 1995 (13.10.95), Fig. 1; columns 22 to 25 (Family: none)	1-66

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int Cl<sup>7</sup> H03K 19/0185

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int Cl<sup>7</sup> H03K 19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-84274 A (松下電器産業株式会社) 1998. 03. 31, 図7、図8、図10、図3、図4 (ファミリーなし)	1-5, 9, 10, 51, 64
A	JP 10-84274 A (松下電器産業株式会社) 1998. 03. 31, 図7、図8、図10、図3、図4 (ファミリーなし)	6-8, 11-50, 52-63, 65, 66
A	JP 2001-68991 A (日本電気アイシーマイコンシステム株式会社) 2001. 03. 16, 図1、本文第46欄~第47欄 (ファミリーなし)	6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 11. 03

国際調査報告の発送日

09.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
彦田克文

5X 9182

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-239051 A (日本電気株式会社) 1999. 08. 31, 図1, 図4、本文第30欄～第31欄、第42欄 & US 6094083 A	6
A	JP 2000-349618 A (松下電子工業株式会社) 2000. 12. 15, 図4、本文第12欄、第46欄～第47欄 (ファミリーなし)	7
A	JP 11-205140 A (三菱電機株式会社) 1999. 07. 30, 図8、図4、図5 & US 6091351 A	56
A	JP 11-195975 A (株式会社日立製作所) 1999. 07. 21, 図3 & US 6249145 B1	56
A	JP 11-261401 A (シャープ株式会社) 1999. 09. 24, 図3 & US 6002290 A	60
A	JP 9-74348 A (セイコーエプソン株式会社) 1997. 03. 18, 図1, 図2, 本文第7欄～第11欄 (ファミリーなし)	1-66
A	JP 2000-124792 A (新日本無線株式会社) 2000. 04. 28, 第1頁要約欄 (ファミリーなし)	1-66
A	JP 7-264047 A (富士通株式会社) 1995. 10. 13, 図1、本文第22欄～第25欄 (ファミリーなし)	1-66